CH32V003 リファレンスマニュアル

V1.9
https://wch-ic.com

概要

CH32V003シリーズは、32-bit RISC-V命令セットおよびアーキテクチャに基づいて設計された、産業用汎用マイクロコントローラである。QingKe V2Aコア、RV32EC命令セットを採用し、2段階の割り込みネストをサポートする。本シリーズは、豊富な周辺インタフェースおよび機能モジュールを搭載している。内部構造は、低コストかつ低消費電力の組込み用途に適している。

本マニュアルは、CH32V003シリーズを用いたアプリケーション開発に関する詳細情報を提供するものであり、シリーズ内の異なるメモリ容量、機能リソース、パッケージを持つ製品に適用される。相違点については、該当する機能章にて個別に説明される。

本製品のデバイス特性については、データシートCH32V003DS0を参照のこと。コアに関する情報は、QingKeV2_Processor_Manualを参照のこと。

RISC-V core version overview

	Features							
Core versions	Instruction set	Hardware stack levels	Interrupt nesting levels	Fast interrupt channels	Flow line	Vector table model	Extensions instruction	Debug interface
QingKe V2A	RV32EC	2	2	2	2	Address or command	Support	1-wire

レジスタのビット属性：

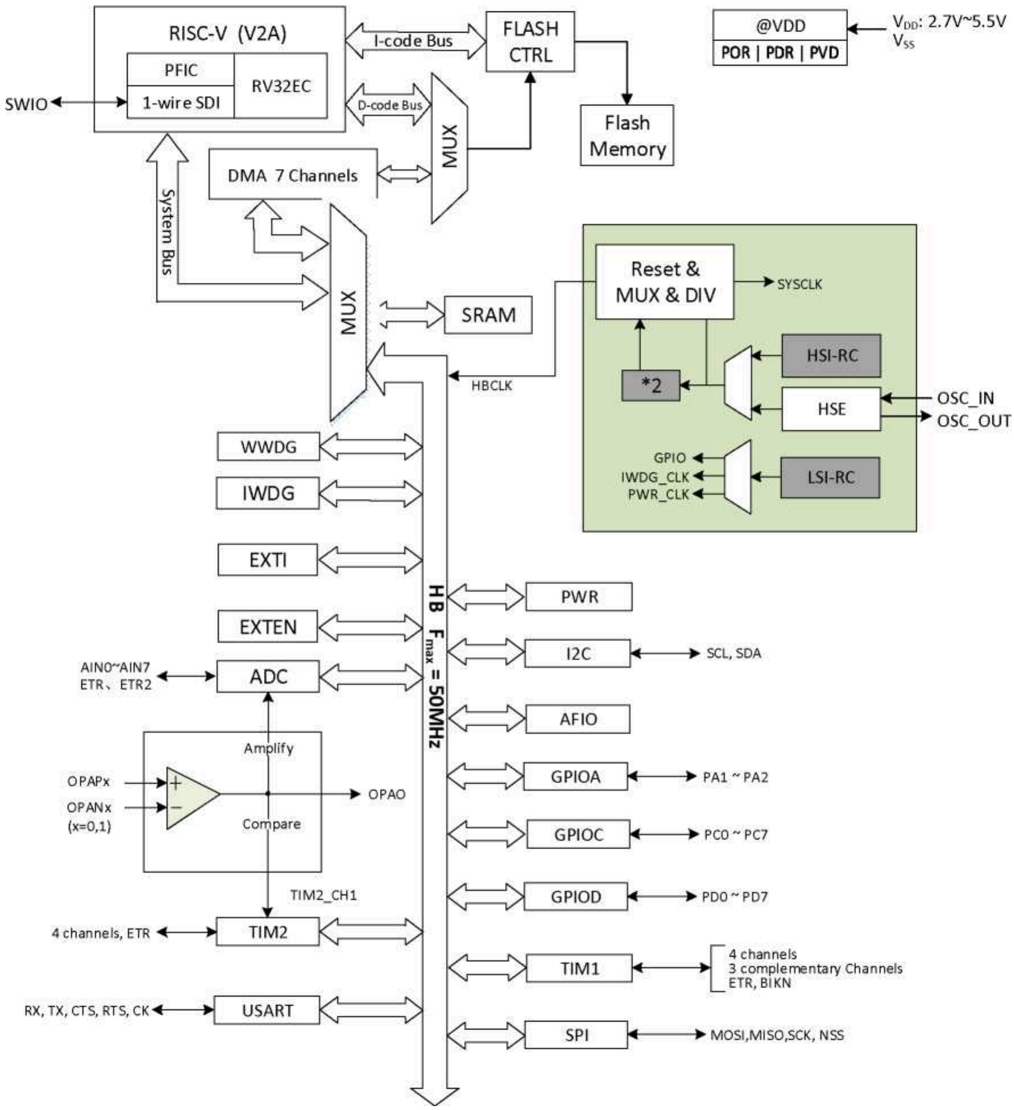
略号	意味
RF	読み取り専用（固定値を返す）
RO	読み取り専用（ハードウェアによって変更される）
RZ	読み取り専用（読み出し後に自動的に0にクリアされる）
WO	書き込み専用（読み出し不可、読み値は不定）
WA	書き込み専用（セーフモードでのみ書き込み可能）
WZ	書き込み専用（書き込み後に自動的に0にクリアされる）
RW	読み書き可能
RWA	読み書き可能（セーフモードでのみ書き込み可能）
RW1	読み書き可能（1の書き込みは有効、0の書き込みは無効）
RW0	読み書き可能（0の書き込みは有効、1の書き込みは無効）
RW1T	読み書き可能（0の書き込みは無効、1の書き込みでビットが反転）

Chapter 1 メモリとバスアーキテクチャ

1.1 バスアーキテクチャ

CH32V003シリーズは、RISC-V命令セットに基づいて設計されており、そのアーキテクチャは、コア、アービトレーションユニット、DMAモジュール、SRAMストレージなどの各部を複数のバスを介して相互接続する構造である。設計には、CPU負荷の軽減およびアクセス効率の向上を目的とした汎用DMAコントローラが統合されているほか、データ保護機構、自動クロック切替保護機構など、システム安定性を高めるための各種対策が含まれている。システムブロック図を図 1-1に示す。

図1-1 CH32V003 system block diagram



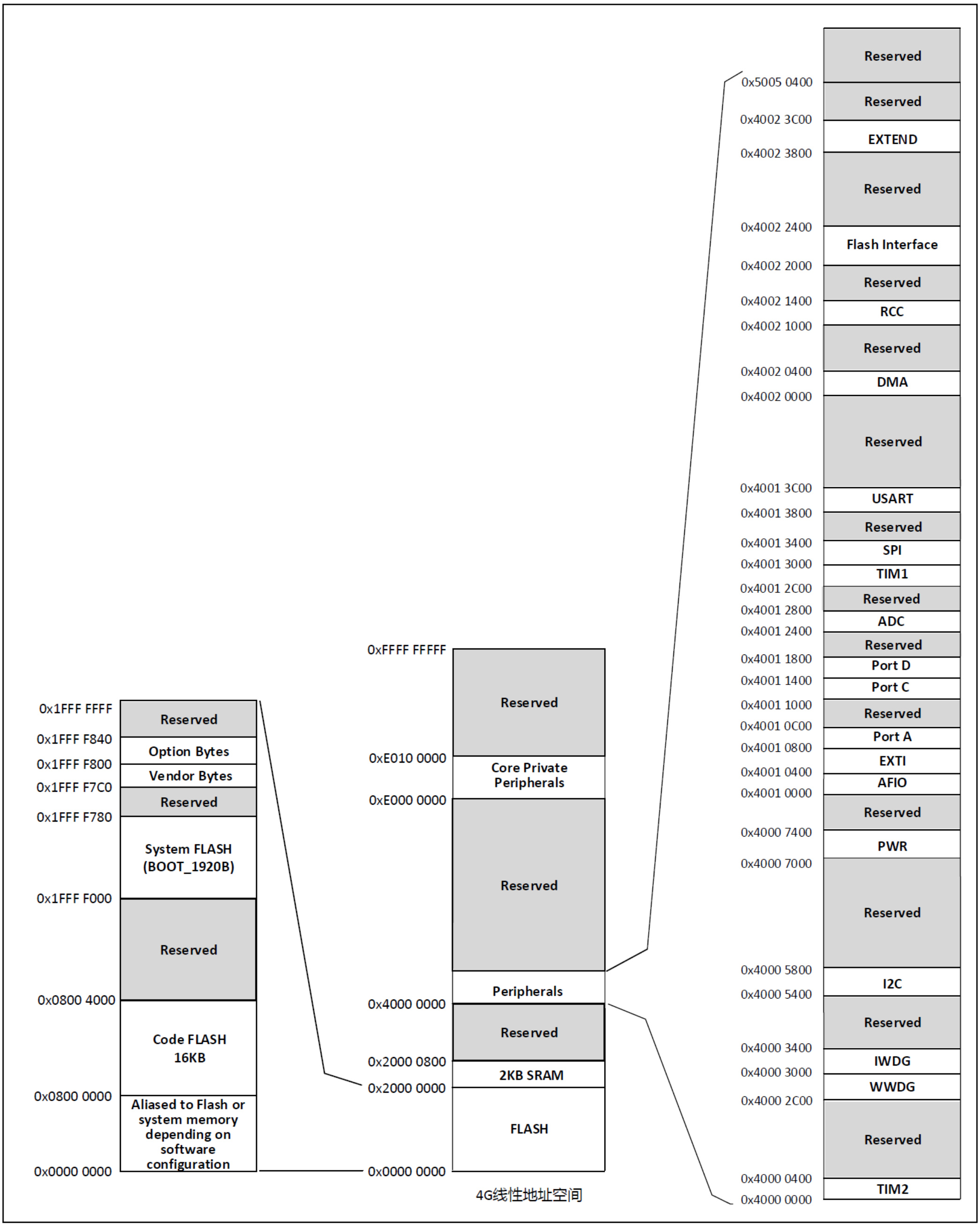
本システムは以下を備えている:
- CPU負荷の軽減および効率向上のための汎用DMAコントローラ
- 周辺機器の総消費電力を低減するためのクロックツリー階層管理
- システム安定性を高めるためのデータ保護機構、クロックセキュリティシステム保護機構、その他の対策
- 命令バス(I-Code)は、コアとFLASH命令インタフェースを接続し、このバス上でプリフェッチが行われる
- データバス(D-Code)は、コアとFLASHデータインタフェースを接続し、定数ロードおよびデバッグに使用される
- システムバスは、コアとバスマトリクスを接続し、コア、DMA、SRAM、周辺機器へのアクセスを調整するために使用される
- DMAバスは、バスマトリクスに接続されたHBマスターインタフェースのDMAを担当し、FLASHデータ、SRAM、周辺機器によってアクセスされる
- バスマトリクスは、システムバス、データバス、DMAバス、SRAM、HBブリッジ間のアクセス調整を担当する

1.2 Memory Image

CH32V003ファミリは、プログラムメモリ、データメモリ、コアレジスタ、周辺レジスタなどを含み、すべてが4GBのリニア空間でアドレスされる。

システムストレージはスモールエンド(リトルエンディアン)形式でデータを格納する。すなわち低位バイトが低位アドレスに、高位バイトが高位アドレスに格納される。

図1-2 Storage image



1.2.1 メモリ割り当て

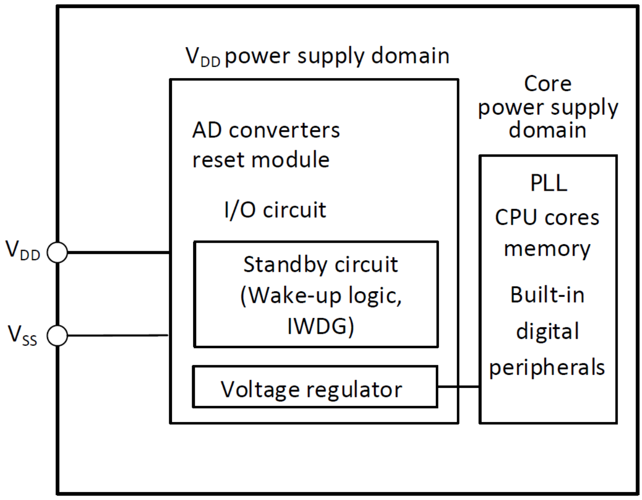
- 2KB SRAMは、開始アドレス0x20000000に配置され、バイト、ハーフワード（2バイト）、フルワード（4バイト）アクセスをサポートする。
- 16KBのプログラムFlashメモリ（CodeFlash）は、ユーザアプリケーションの格納に使用される。
- 1920Bのシステムメモリ（ブートローダ）は、システムブートローダ（工場書き込み済みブートローダ）の格納に使用される。
- 64Bのベンダコンフィギュレーションワード領域は、工場書き込み済みでユーザによる変更は不可である。
- 64Bのユーザオプションバイト領域。

Chapter 2 Power Control (PWR)

2.1 概要

　システム動作電圧VDDは2.7～5.5Vの範囲であり、内蔵電圧レギュレータがコアに必要な動作電源を供給する。

図 2-1 電源構成

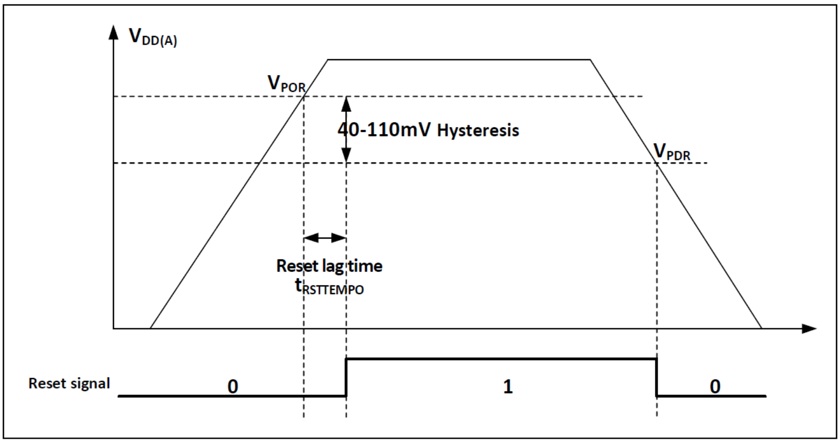


2.2 パワーマネジメント

2.2.1 パワーオンリセット(POR)およびパワーダウンリセット(PDR)

本システムは、内部にパワーオンリセット(POR)およびパワーダウンリセット(PDR)回路を備えている。チップの供給電圧VDDが対応するしきい値電圧を下回ると、システムがリセットされ、追加の外部リセット回路は不要である。パワーオンしきい値電圧VPORおよびパワーダウンしきい値電圧VPDRのパラメータについては、該当するデータシートを参照のこと。

図 2-2:POR(パワーオンリセット)および PDR(パワーダウンリセット)の動作概略図



2.2.2 プログラマブル電圧検出器

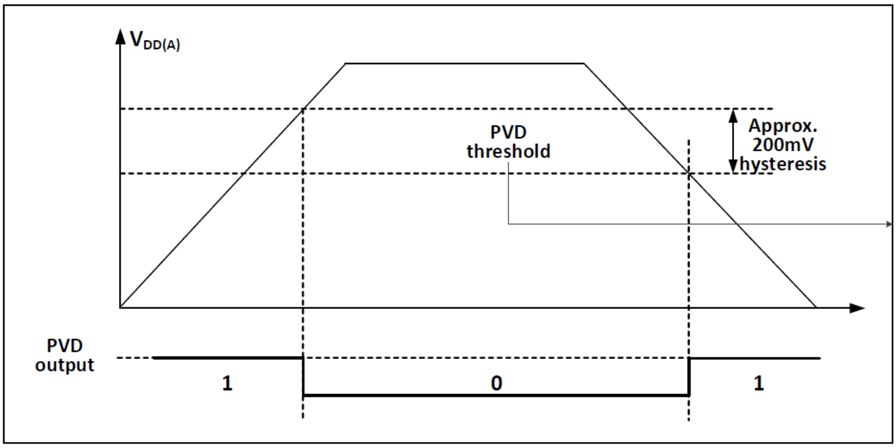
プログラマブル電圧モニタ(PVD)は、主にシステムの主電源の変化を監視し、電源制御レジスタPWR_CTLRのPLS[2:0]で設定されたしきい値電圧と比較する。外部割り込みレジスタ(EXTI)の設定と組み合わせることで、関連する割り込みを生成し、データ保存などの事前パワーダウン処理をシステムに通知することが可能である。

具体的な設定手順は以下の通り:

1. PWR_CTLRレジスタのPLS[2:0]フィールドを設定し、監視対象の電圧しきい値を選択する。
2. 割り込み処理は任意。PVD機能は内部的にEXTIモジュールのライン8の立ち上がり/立ち下がりエッジトリガ設定に接続されており、この割り込みを有効化(EXTIを設定)することで、VDDがPVDしきい値を下回る、または上回る際にPVD割り込みを生成する。
3. PWR_CTLRレジスタのPVDEビットを設定してPVD機能を有効化する。
4. PWR_CSRステータスレジスタのPVD0ビットを読み出し、現在のシステム主電源とPLS[2:0]設定しきい値との関係を取得し、対応するソフト処理を行う。VDD電圧

がPLS[2:0]で設定されたしきい値より高い場合、PVDOは0となり、低い場合は1となる。

図 2-3:PVD(プログラマブル電圧検出器)の動作概略図



2.3 低消費電力モード

システムリセット後、マイクロコントローラは通常動作状態（ランモード）にあり、システムメイン周波数を下げる、未使用の周辺機器クロックを停止する、または動作中の周辺機器クロックを低減することで、システム電力を節約できる。システムが動作を必要としない場合、低消費電力モードに移行させ、特定のイベントによって復帰させることが可能である。

マイクロコントローラは現在、以下の2種類の低消費電力モードを提供しており、プロセッサ、周辺機器、電圧レギュレータなどの動作差異に基づいて分類される：

- スリープモード：コアの動作を停止し、すべての周辺機器（コア専用周辺機器を含む）は動作を継続する
- スタンバイモード：すべてのクロックを停止し、復帰時にクロックをHSIに切り替える

Mode	Entry	Wake-up source	Effect on clock	Voltage regulator
Sleep	WFI	任意の割り込み	コアクロック停、他のクロックには影響しない	ON
	WFE	Wake-up event		
Standby	SLEEPDEEP を 1 に設定 PDDS を 1 に設定 WFI または WFE 命令を実行	任意の外部割り込みまたはイベント、AWUイベント、NRSTピンによるリセット、またはIWDGリセットが対象となる。 注：任意のイベントによってシステムをウェイクアップさせることも可能であるが、ウェイクアップ後にシステムはリセットされない。	HSE, HSI, PLL, ペリフェラルクロック OFF	Low-power mode

注：SLEEPDEEPビットは、コア専用周辺機器制御ビットに属し、CH32V003製品ではPFIC_SCTLRレジスタを参照すること。

2.3.1 低消費電力構成オプション

WFIおよびWFE

WFI：

割り込みコントローラが応答する割り込みソースによってマイクロコントローラがウェイクアップされ、システム復帰後に割り込みサービス関数が最初に実行される（マイクロコントローラのリセットを除く）。

WFE：

ウェイクアップイベントによってマイクロコントローラが低消費電力モードから復帰する。ウェイクアップイベントには以下が含まれる：

1. 外部または内部のEXTIラインをイベントモードに設定し、割り込みコントローラの設定は不要

2. 割り込みソースを設定することで、WFIによるウェイクアップと同等となり、システムは割り込みサービス関数の実行を優先する
3. SEVONPENDビットを設定して周辺割り込みを有効化するが、割り込みコントローラでは割り込みを有効化せず、システム復帰後に割り込み保留ビットをクリアする必要がある

SLEEPONEXIT

有効:

WFIまたはWFE命令の実行後、マイクロコントローラはすべての保留中の割り込みサービスを終了した後に低消費電力モードへ移行する

無効:

WFIまたはWFE命令の実行直後にマイクロコントローラは低消費電力モードへ移行する

SEVONPEND

有効:

すべての割り込みまたはウェイクアップイベントが、WFEによって移行した低消費電力状態からの復帰を可能にする

無効:

割り込みコントローラで有効化された割り込みまたはウェイクアップイベントのみが、WFEによって移行した低消費電力状態からの復帰を可能にする

2.3.2 スリープモード（SLEEP）

このモードでは、すべてのI/OピンはRunモード時の状態を保持し、すべての周辺機器クロックは通常通り動作するため、Sleepモードに入る前に不要な周辺機器クロックを停止して低消費電力化を図ることが推奨される。このモードは復帰に要する時間が最も短い。

移行条件:

コアレジスタ制御ビットSLEEPDEEP=0、電源制御レジスタPDDS=0を設定し、WFIまたはWFEを実行する。必要に応じてSEVONPENDおよびSLEEPONEXITを設定する。

復帰条件:

任意の割り込みまたはウェイクアップイベント。

2.3.3 スタンバイモード（STANDBY）

スタンバイモードは、コアのディープスリープモード（SLEEPDEEP）に基づく周辺機器クロック制御機構の組み合わせであり、電圧レギュレータを非常に低消費電力で動作させることが可能である。このモードでは、高周波クロック（HSE／HSI／PLL）ドメインが停止され、SRAMおよびレジスタ内容は保持され、I/Oピンの状態も保持される。システムはこのモードから復帰後も継続して動作可能であり、HSIがデフォルトのシステムクロックとして使用される。

Flashプログラミングが進行中の場合、メモリアクセスが完了するまでシステムはスタンバイモードに移行しない。

スタンバイモードで動作可能なモジュール：独立ウォッチドッグ（IWDG）、低周波クロック（LSI）

移行条件：
コアレジスタ制御ビットSLEEPDEEP=1、電源制御レジスタPDDS=1を設定し、WFIまたはWFEを実行する。必要に応じてSEVONPENDおよびSLEEPONEXITを設定する。

復帰条件：
1．外部割り込み／イベント（外部割り込みレジスタにて設定）
2．AWUイベント、復帰後クロックはHSIに切り替わり、システムはリセットされない
3．NRSTピンによるリセット、IWDGリセット

2.3.4 自動ウェイクアップ（AWU）

外部割り込みなしで自動ウェイクアップを実現することが可能である。スタンバイモードから定期的にウェイクアップするよう、タイムベースをプログラム設定できる。オプションの内部低周波128kHzクロック発振器LSIが、自動ウェイクアップのカウント用タイムベースとして使用される。

AWU割り込み機能を有効化する際は、EXTIモジュールに内部接続された9番ラインの立ち上がり／立ち下がりエッジトリガを設定し、この割り込みを有効化する（EXTIの設定）。

2.4 レジスタ詳細

表 2-2:PWR関連レジスター覧

Name	Access address	Description	Reset value
R32_PWR_CTLR	0x40007000	Power control register	0x00000000
R32_PWR_CSR	0x40007004	Power control/status register	0x00000000
R32_PWR_AWUCSR	0x40007008	Auto-wakeup control/status register	0x00000000
R32_PWR_AWUWR	0x4000700C	Auto-wakeup window comparison value register	0x0000003f
R32_PWR_AWUPSC	0x40007010	Auto-wakeup crossover factor register	0x00000000

2.4.1 Power Control Register (PWR_CTLR)

Offset address: 0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								PLS[2:0]			PVDE	Reserved		PDDS	Reserved

Bit	Name	Access	Description	Reset value
[31:8]	Reserved	RO	Reserved	0
[7:5]	PLS[2:0]	RW	PVD電圧監視のしきい値設定 詳細な設定手順については、データシートの「電気的特性(Electrical Characteristics)」セクションを参照 000: 2.85V rising edge/2.7V falling edge. 001: 3.05V rising edge/2.9V falling edge. 010: 3.3V rising edge/3.15V falling edge. 011: 3.5V rising edge/3.3V falling edge. 100: 3.7V rising edge/3.5V falling edge. 101: 3.9V rising edge/3.7V falling edge. 110: 4.1V rising edge/3.9V falling edge. 111: 4.4V rising edge/4.2V falling edge.	0
4	PVDE	RW	電源電圧監視機能有効化フラグビット 1: Enable the power supply voltage monitoring function. 0: Disable the power supply voltage monitoring function.	0
[3:2]	Reserved	RO	Reserved	0
1	PDDS	RW	電源断ディープスリープ時のスタンバイ／スリープモード選択ビット. 1: Enter Standby mode. 0: Enter Sleep mode.	0
0	Reserved	RO	Reserved	0

2.4.2 Power Control/Status Register (PWR_CSR)

Offset address: 0x04

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													PVD0	Reserved	

Bit	Name	Access	Description	Reset value
[31:3]	Reserved	RO	Reserved	0
2	PVD0	RO	PVD出力ステータスフラグビット このビットは、PWR_CTLR レジスタの PVDE ビットが 1 に設定されている場合に有効です。 1: VDD および VDDA が、PLS[2:0] によって設定された PVD しきい値を下回っている 0: VDD および VDDA が、PLS[2:0] によって設定された PVD しきい値を上回っている	0
[1:0]	Reserved	RO	Reserved	0

2.4.3 Auto-wakeup Control/Status Register (PWR_AWUCSR)

Offset address: 0x08

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														AWUEN	Reserved

Bit	Name	Access	Description	Reset value
[31:2]	Reserved	RO	Reserved	0
1	AWUEN	RW	自動ウェイクアップ機能有効化ビット 1: 自動ウェイクアップを有効にする 0: 無効（機能しない）	0
0	Reserved	RO	Reserved	0

2.4.4 Auto-wakeup Window Comparison Value Register (PWR_AWUWR)

Offset address: 0x0C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved											AWUUWR[5:0]				

Bit	Name	Access	Description	Reset value
[31:6]	Reserved	RO	Reserved	0
[5:0]	AWUWR [5:0]	RW	AWUウィンドウ値 AWUウィンドウ値は、設定された入力値に +1 した値と等しい。 このウィンドウ値は、アップカウンタの値と比較され、カウンタ値がウィンドウ値に一致したときにウェイクアップ信号が生成される。	0x3f

2.4.5 Auto-wakeup Crossover Factor Register (PWR_ AWUPSC)

Offset address: 0x10

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved												AWUPSC[3:0]			

Bit	Name	Access	Description	Reset value
[31:4]	Reserved	RO	Reserved	0
[3:0]	AWUPSC [3:0]	RW	Counting time base 0000: Prescaler off. 0001: Prescaler off. 0010: Divided by 2. 0011: Divided by 4. 0100: Divided by 8. 0101: Divided by 16. 0110: Divided by 32. 0111: Divided by 64. 1000: Divided by 128. 1001: Divided by 256. 1010: Divided by 512. 1011: Divided by 1024. 1100: Divided by 2048. 1101: Divided by 4096. 1110: Divided by 10240. 1111: Divided by 61440.	0

Chapter 3 リセットおよびクロック制御（RCC）

コントローラは、アプリケーションにおける電源領域の分割および周辺機器の電源管理の考慮に基づき、複数のリセット形式および構成可能なクロックツリー構造を提供する。本節では、システム内の各クロックの適用範囲について説明する。

3.1 主な機能

- 複数のリセット形式に対応
  電源オンリセット、ソフトウェアリセット、外部リセット、ウォッチドッグリセットなどをサポート
- 複数のクロックソースとバスクロック管理
  内部／外部発振器、PLLなどを用いた柔軟なクロック供給とバス単位での分周制御が可能
- 外部水晶発振の監視機能とクロックセキュリティシステムを内蔵
  発振停止検出やフェイルオーバー機能により、安定したクロック供給を確保
- 各周辺機器のクロックを個別に管理可能（リセット／オン／オフ）
  ペリフェラル単位での電力制御と動作制御が可能
- 内部クロックの出力に対応
  内部クロック（例：HSI、LSI）を外部ピンへ出力することで、他デバイスとの同期や診断用途に利用可能

3.2 リセット

コントローラは、電源リセットとシステムリセットの2種類のリセットを提供する。

3.2.1 電源リセット

電源リセットが発生すると、すべてのレジスタが初期化される。

電源リセットは、以下のイベントによって生成される:

- パワーオン／パワーオフリセット（POR／PDR）

3.2.2 システムリセット

システムリセットが発生すると、すべてのレジスタに加えて、制御／ステータスレジスタ RCC_RSTSCKR およびリセットフラグが初期化される。

リセットイベントの発生源は、RCC_RSTSCKR レジスタ内のリセットステータスフラグビットを参照することで識別でる。

システムリセットは、以下のいずれかのイベントによって生成される:

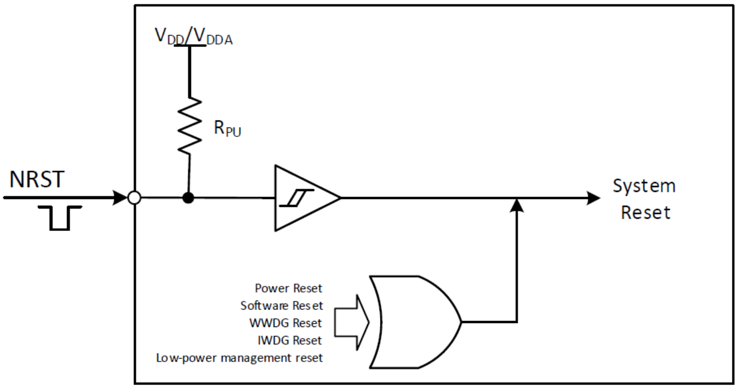
- NRSTピンの低レベル信号（外部リセット）
- ウィンドウウォッチドッグのカウント終了（WWDGリセット）
- 独立ウォッチドッグのカウント終了（IWDGリセット）
- ソフトウェアリセット（SWリセット）
- 低消費電力管理によるリセット

リセットイベントの詳細

- ウィンドウ／独立ウォッチドッグリセット
  ウィンドウウォッチドッグまたは独立ウォッチドッグのペリフェラルタイマーがカウント周期オーバーフローを起こすことで生成されます。詳細は該当セクションを参照してください。
- ソフトウェアリセット
  CH32V003では、プログラマブル割り込みコントローラ（PFIC）内の割り込み構成レジスタ PFIC_CFGR の RSTSYS ビット（位置1）または構成レジスタ PFIC_SCTLR の SYSRST ビット（位置1）を設定することで、システムリセットが実行されます。詳細は該当章を参照してください。
- 低消費電力管理リセット
  ユーザーオプションバイト内の STANDBY_RST ビット（位置1）を設定することで、スタンバイモード移行処理後にスタンバイモードに入る代わりにシステムリセットが実行されます。
- ADCリセット
  ADCウォッチドッグリセットが有効な場合、ADCデータがウォッチドッグの上限しきい値を超えるか、下限しきい値を下回るとADCリセットが発生します。

- OPCMリセット
  OPAリセット有効化およびCMPリセット有効化がオンの状態で、オペアンプまたはコンパレータの出力が高レベルになるとOPCMリセットが発生します。

図 3-1:システムリセット構造(System Reset Structure)

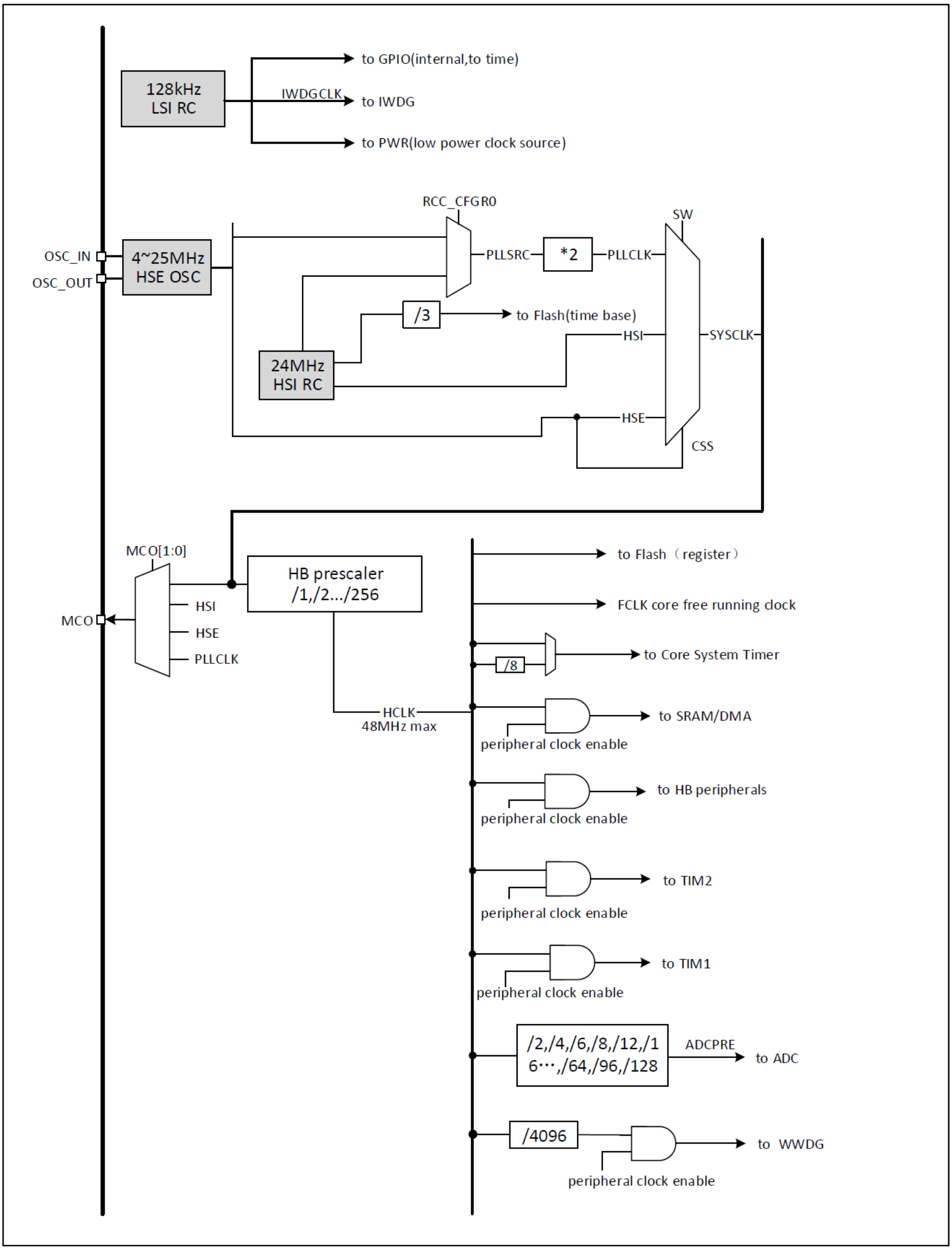


3.3 クロック(Clock)

　CH32V003は、複数のクロックソースと柔軟なクロックツリー構造を備えており、システム全体および各ペリフェラルに対して効率的なクロック供給と制御を可能にします。

3.3.1 システムクロック構造（System Clock Structure）

図 3-2：CH32V003 クロックツリーブロック図（Clock Tree Block Diagram）



3.3.2 高速クロック（HSI／HSE）

HSIは、システム内蔵の24MHz RC発振器によって生成される高速クロック信号であり、外部デバイスなしでシステムクロックを供給可能である。起動時間が短く、RCC_CTLRレジスタのHSIONビットで有効／無効を制御し、HSIRDYビットでHSI RC発振器の安定状態を示す。システムはHSIONおよびHSIRDYを初期値1とし（無効化は推奨されない）、RCC_INTRレジスタのHSIRDYIEビットを設定すると、対応する割り込みが生成される。

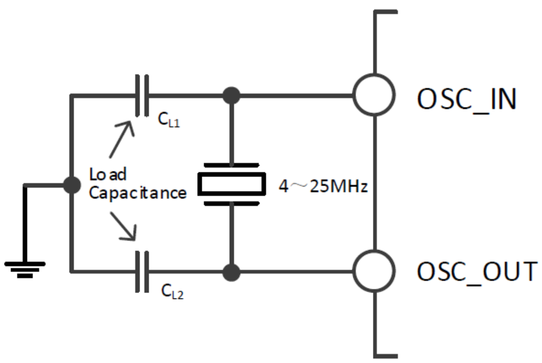
- 工場校正：製造工程の差異により、各チップのRC発振周波数が異なるため、出荷前にHSI校正が行われる。システムリセット後、工場校正値がRCC_CTLRレジスタのHSICAL[7:0]にロードされる。
- ユーザ調整：電圧や周囲温度の違いに応じて、アプリケーションはRCC_CTLRレジスタのHSITRIM[4:0]ビットを用いてHSI周波数を調整可能である。

注：HSE水晶発振器が故障した場合、HSIクロックがバックアップクロック源として使用される（クロック安全システム）。

HSEは外部高速クロック信号であり、外部水晶／セラミック共振器による生成または外部高速クロック供給を含む。

- 外部水晶／セラミック共振器（HSE Crystal）：外部4～25MHz発振器が、システムにより高精度なクロック源を提供する。詳細はデータシートの電気的特性セクションを参照のこと。HSE水晶はRCC_CTLRレジスタのHSEONビットでオン／オフ可能であり、HSERDYビットがHSE水晶発振の安定状態を示す。HSERDYが1となった後に、ハードウェアがクロックをシステムに供給する。RCC_INTRレジスタのHSERDYIEビットが設定されている場合、対応する割り込みが生成される。

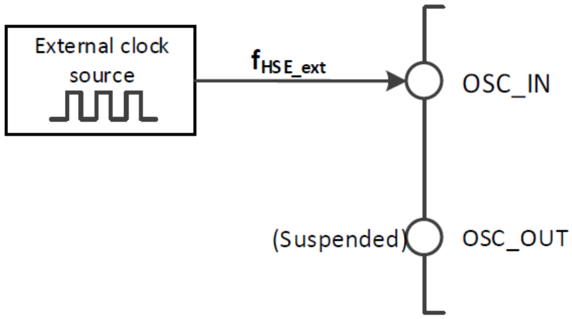
図 3-3：高速外部水晶発振回路



注：負荷コンデンサは発振器ピンにできるだけ近接して配置する必要があり、容量値は水晶メーカーの規定パラメータに従って選定すること。

- 外部高速クロックソース（HSEバイパス）：このモードでは、クロックソースを外部から直接OSC_INピンに供給し、OSC_OUTピンは未接続状態とする。最大対応周波数は25MHzである。アプリケーションでは、HSEONビットを0にした状態でHSEBYPビットを設定してHSEバイパス機能を有効化し、その後HSEONビットを再度設定する必要がある。

図 3-4：高速クロックソース回路



3.3.3 低速クロック（LSI）

LSIは、システム内蔵のRC発振器により生成される約128kHzの低速クロック信号である。シャットダウンモードおよびスタンバイモードでも動作を継続でき、RTCクロック、独立ウォッチドッグ、ウェイクアップユニットのクロック基準として機能する。詳細はデータシートの電気的特性セクションを参照のこと。

LSIは、RCC_RSTSCKRレジスタのLSIONビットを設定することで有効／無効を制御でき、LSIRDYビットを参照することでLSI RC発振の安定状態を確認する。LSIRDYが1となった後に、ハードウェアがクロックを供給する。RCC_INTRレジスタのLSIRDYIEビットが設定されている場合、対応する割り込みが生成される。

3.3.4 PLLクロック（PLL Clock）

RCC_CFGR0レジスタおよび拡張レジスタEXTEND_CTRを設定することで、内部PLLクロックは2種類のクロックソースを選択可能である。これらの設定はPLLを起動する前に行う必要があり、PLLが起動された後はパラメータの変更はできない。

PLLの有効／無効はRCC_CTLRレジスタのPLLONビットで制御し、PLLRDYビットでPLLクロックの安定状態を示す。PLLRDYが1となった後に、ハードウェアがクロックをシステムに供給する。RCC_INTRレジスタのPLLRDYIEビットが設定されている場合、対応する割り込みが生成される。

PLLクロックソース：

- HSIクロック
- HSEクロック

3.3.5 バス／ペリフェラルクロック（Bus/Peripheral Clock）

3.3.5.1 システムクロック（SYSCLK）

RCC_CFGR0レジスタのSW[1:0]ビットを設定することで、システムクロックソースを構成することができ、SWS[1:0]は現在のシステムクロックソースを示す。

- HSIをシステムクロックとして使用
- HSEをシステムクロックとして使用
- PLLをシステムクロックとして使用

コントローラリセット後、デフォルトでHSIクロックがシステムクロックソースとして選択される。クロックソースの切り替えは、対象のクロックソースが安定している状態でのみ実行すること。

3.3.5.2 HBバス・ペリフェラルクロック（HCLK）

HBバスクロックは、RCC_CFGR0レジスタのHPRE[3:0]ビットを設定することで構成可能である。バスクロックは、下位に接続された周辺インタフェースのアクセスクロック基準を決定する。アプリケーションでは、動作中の一部周辺機器に応じて異なる値を設定することで、消費電力を低減することができる。

RCC_APB1PRSTRおよびRCC_APB2PRSTRレジスタの各ビットは、異なる周辺モジュールを初期状態にリセットするために使用される。

RCC_AHBPCENR、RCC_APB1PCENR、およびRCC_APB2PCENRレジスタの各ビットは、異なる周辺モジュールの通信クロックインタフェースを個別にオン／オフするために使用できる。周辺機器を使用する際は、まずそのクロックイネーブルビットをオンにして、レジスタへのアクセスを可能にする必要がある。

3.3.5.3 独立ウォッチドッグクロック（Independent Watchdog Clock）

独立ウォッチドッグ（IWDG）がハードウェア構成によって設定されているか、ソフトウェアによって起動された場合、LSI発振器は強制的にオンとなり、オフにすることはできない。LSI発振器が安定化した後、クロックはIWDGに供給される。

3.3.5.4 マイクロコンコントローラ・クロック出力（MCO：Microcontroller Clock Output）

マイクロコントローラは、MCOピンへのクロック信号出力を許可しており、RCC_CFGR0レジスタのMCO[2:0]ビットを設定し、対応するGPIOポートレジスタでマルチプレックスプッシュプル出力モードを構成することで、以下の4種類のクロック信号をMCOクロック出力として選択可能である:

・システムクロック（SYSCLK）出力
・HSIクロック出力

・HSEクロック出力
・PLLクロック出力

3.3.6 クロックセキュリティシステム（Clock Security System）

クロック安全システムは、コントローラの動作保護機構であり、HSEクロック伝送障害時にHSIクロックへ自動切り替えを行い、割り込み通知を生成してアプリケーションソフトウェアによる救済処理を可能にする。

クロック安全システムは、RCC_CTLRレジスタのCSSONビットを1に設定することで有効化される。この時点で、HSE発振器の起動（HSERDY=1）遅延後にクロックモニタが有効化され、HSEクロックがオフになると無効化される。システム動作中にHSEクロックが故障すると、HSE発振器はオフとなり、クロック障害イベントが高機能タイマ（TIM1）のブレーキ入力へ送信され、CSSFビットが1となってクロック安全割り込みが生成され、アプリケーションはNMI（マスク不可割り込み）に入る。CSSCビットを設定することで、CSSFビットフラグをクリアし、NMI割り込み保留ビットを解除することができる。

現在のHSEがシステムクロックとして使用されている場合、またはHSEがPLL入力クロックとして使用され、PLLがシステムクロックとして使用されている場合、HSE障害時にはクロック安全システムが自動的にシステムクロックをHSI発振器へ切り替え、HSE発振器およびPLLを停止する。

3.4 レジスタ詳細

表 3-1:RCC関連レジスター覧（RCC-related Registers List）

Name	Access address	Description	Reset value
R32_RCC_CTLR	0x40021000	Clock control register	0x0000xx83
R32_RCC_CFGR0	0x40021004	Clock configuration register 0	0x00000020
R32_RCC_INTR	0x40021008	Clock interrupt register	0x00000000
R32_RCC_APB2PRSTR	0x4002100C	PB2 peripheral reset register	0x00000000
R32_RCC_APB1PRSTR	0x40021010	PB1 peripheral reset register	0x00000000
R32_RCC_AHBPCENR	0x40021014	HB peripheral clock enable register	0x00000004
R32_RCC_APB2PCENR	0x40021018	PB2 peripheral clock enable register	0x00000000
R32_RCC_APB1PCENR	0x4002101C	PB1 peripheral clock enable register	0x00000000
R32_RCC_RSTSCKR	0x40021024	Control/status register	0x0C000000

3.4.1 Clock Control Register (RCC_CTLR)

Offset address: 0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						PLL RDY	PLL ON	Reserved				CSSON	HSE BYP	HSE RDY	HSE ON

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HSICAL[7:0]								HSITRIM[4:0]					Reserved	HSI RDY	HSION

Bit	Name	Access	Description	Reset value
[31:26]	Reserved	RO	Reserved	0
25	PLLRDY	RO	PLL clock-ready lock flag bit. 1: PLL clock lock. 0: PLL clock is not locked.	0
24	PLLON	RW	PLLクロック有効制御ビット(PLL Clock Enable Control Bit) 1:PLLクロックを有効にする 0:PLLクロックを無効にする 注記:スタンバイ低消費電力モードに入ると、このビットはハードウェアによって 0 にクリアされます。	0
[23:20]	Reserved	RO	Reserved	0
19	CSSON	RW	クロックセキュリティシステム有効制御ビット(Clock Security System Enable Control Bit) 1:クロックセキュリティシステムを有効にする - HSEが準備完了(HSERDY = 1)になると、ハードウェアはHSEのクロック監視機能を起動し、 HSEに異常が検出された場合、CSSF フラグをセットし、NMI(マスク不可割り込み)を発生させます - HSEが未準備の場合、ハードウェアはHSEのクロック監視機能を停止します 0:クロックセキュリティシステムを無効にする	0
18	HSEBYP	RW	外部高速水晶バイパス制御ビット(External High-speed Crystal Bypass Control Bit) 1:外部高速水晶／セラミック共振子をバイパスし、外部クロックソースを使用する 0:外部高速水晶／セラミック共振子をバイパスしない 注記:このビットは、HSEON = 0 の状態で書き込む必要があります	0
17	HSERDY	RO	外部高速水晶発振安定準備フラグビット(External High-speed Crystal Oscillation Stabilization Ready Flag Bit) (ハードウェアによって設定される) 1:外部高速水晶発振が安定している 0:外部高速水晶発振が安定していない 注記:HSEON ビットが 0 にクリアされた後、このビットが 0 にクリアされるまでに6サイクルのHSEクロックが必要です	0
16	HSEON	RW	外部高速水晶発振器有効制御ビット(External High-speed Crystal Oscillation Enable Control Bit) 1:HSE発振器を有効にする 0:HSE発振器を無効にする 注記:スタンバイ低消費電力モードに入ると、このビットはハードウェアによって 0 にクリアされます	0

[15:8]	HSICAL	RO	内部高速クロックキャリブレーション値（Internal High-speed Clock Calibration Values） これらのキャリブレーション値は、システム起動時にハードウェアによって自動初期化されます。	X
[7:3]	HSITRIM	RW	内部高速クロック調整値（Internal High-speed Clock Adjustment Value） ユーザーは、HSICAL[7:0] の値に加算される調整値を入力することで、電圧や温度変動に応じて内部HSI RC発振器の周波数を調整できます。 - デフォルト値は 16：このとき、HSIは 24 MHz ±1% に調整されます - HSICAL の値を 1ステップ変更するごとに、約60 kHzの周波数変化が生じます	10000b
2	Reserved	RO	Reserved	0
1	HSIRDY	RO	内部高速クロック（24MHz）安定準備フラグビット （ハードウェアによって設定される） 1：内部高速クロック（24MHz）は安定している 0：内部高速クロック（24MHz）は安定していない 注記：HSION ビットが 0 にクリアされた後、このビットが 0 にクリアされるまでに6サイクルのHSIクロックが必要です	1
0	HSION	RW	内部高速クロック（24MHz）有効制御ビット（Internal High-speed Clock Enable Control Bit） 1：HSI発振器を有効にする 0：HSI発振器を無効にする 注記：スタンバイモードから復帰する際、またはシステムクロックとして使用されている外部発振器（HSE）が故障した場合、 ハードウェアによってこのビットが 1 に設定され、内部24MHz RC発振器（HSI）が起動されます	1

3.4.2 Clock Configuration Register0 (RCC_CFGR0)

Offset address: 0x04

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved					MCO[2:0]			Reserved							PLL SRC

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCPRE[4:0]					Reserved			HPRE[3:0]				SWS[1:0]		SW[1:0]	

Bit	Name	Access	Description	Reset value
[31:27]	Reserved	RO	Reserved	0
[26:24]	MCO [2:0]	RW	MCO ピン･クロック出力制御 0xx: クロック出力なし(MCO無効) 100: システムクロック(SYSCLK)出力 101: 内部24MHz RC発振器クロック(HSI)出力 110: 外部発振器クロック(HSE)出力 111: PLLクロック出力	0
[23:17]	Reserved	RO	Reserved	0
16	PLLSRC	RW	PLLの入力クロックソース(PLLがオフのときのみ書き込み可能) 1:HSEクロックを分周せずにPLLへ入力する 0:HSIクロックを分周せずにPLLへ入力する	0
[15:11]	ADCPRE [4:0]	RW	ADCクロックソース･プリスケーラ制御 {13:11,15:14} 000xx: HBCLK / 2 010xx: HBCLK / 4 100xx: HBCLK / 6 110xx: HBCLK / 8 00100: HBCLK / 4 01100: HBCLK / 8 10100: HBCLK / 12 11100: HBCLK / 16 00101: HBCLK / 8 01101: HBCLK / 16 10101: HBCLK / 24 11101: HBCLK / 32 00110: HBCLK / 16 01110: HBCLK / 32 10110: HBCLK / 48 11110: HBCLK / 64 00111: HBCLK / 32 01111: HBCLK / 64 10111: HBCLK / 96 11111: HBCLK / 128 注記:ADCクロックは最大24MHzを超えてはならないため、HBCLKの周波数に応じて適切な分周値を選択する必要があります。	0
[10:8]	Reserved	RW	Reserved	0
[7:4]	HPRE [3:0]	RW	HBクロックソース･プリスケーラ制御 0000: Prescaler off 0001: SYSCLK / 2 0010: SYSCLK / 3 0011: SYSCLK / 4	0010b

			0100: SYSCLK / 5 0101: SYSCLK / 6 0110: SYSCLK / 7 0111: SYSCLK / 8 1000: SYSCLK / 2 1001: SYSCLK / 4 1010: SYSCLK / 8 1011: SYSCLK / 16 1100: SYSCLK / 32 1101: SYSCLK / 64 1110: SYSCLK / 128 1111: SYSCLK / 256	
[3:2]	SWS [1:0]	RO	System clock (SYSCLK) status (hardware set). 00: The system clock source is HSI. 01: The system clock source is HSE. 10: The system clock source is a PLL. 11: Not available.	0
[1:0]	SW [1:0]	RW	システムクロックソース選択 00: HSI(内部高速RC発振器) 01: HSE(外部発振器) 10: PLL出力 11: 無効 注記:クロックセーフ機能(CSSON = 1)が有効な場合、スタンバイ／ストップモードからの復帰時、またはシステムクロックとして使用されているHSEが故障した時、ハードウェアによってHSIが強制的にシステムクロックとして選択されます	0

3.4.3 Clock Interrupt Register (RCC_INTR)

Offset address: 0x08

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								CS SC	Reserved		PLL RDY C	HSE RDY C	HSI RDY C	Reser ved	LSI RDY C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			PLL RDYI E	HSE RDYI E	HSI RDYI E	Reserv ed	LSI RDYIE	CS SF	Reserved		PLL RDY F	HSE RDY F	HSI RDY F	Reser ved	LSI RDY F

Bit	Name	Access	Description	Reset value
[31:24]	Reserved	RO	Reserved	0
23	CSSC	WO	クロックセキュリティシステム割り込みフラグビット(CSSF)クリア制御 1:CSSF 割り込みフラグをクリアする 0:何もしない(No action)	0
[22:21]	Reserved	RO	Reserved	0
20	PLLRDYC	WO	PLL-Ready 割り込みフラグビット(PLLRDYF)クリア制御 1:PLLRDYF 割り込みフラグをクリアする 0:何もしない(No action)	0
19	HSERDYC	WO	HSE発振器準備完了割り込みフラグビット(HSERDYF)クリア制御 1:HSERDYF 割り込みフラグをクリアする 0:何もしない(No action)	0
18	HSIRDYC	WO	HSI発振器準備完了割り込みフラグビット(HSIRDYF)クリア制御 1:HSIRDYF 割り込みフラグをクリアする 0:何もしない(No action)	0
17	Reserved	RO	Reserved	0
16	LSIRDYC	WO	LSI発振器準備完了割り込みフラグビット(LSIRDYF)クリア制御 1:LSIRDYF 割り込みフラグをクリアする 0:何もしない(No action)	0
[15:13]	Reserved	RO	Reserved	0
12	PLLRDYIE	RW	PLL準備完了割り込み有効ビット 1:PLL-ready 割り込みを有効にする 0:PLL-ready 割り込みを無効にする	0
11	HSERDYIE	RW	HSE準備完了割り込み有効ビット 1:HSE-ready 割り込みを有効にする 0:HSE-ready 割り込みを無効にする	0
10	HSIRDYIE	RW	HSI準備完了割り込み有効ビット 1:HSI-ready 割り込みを有効にする 0:HSI-ready 割り込みを無効にする	0
9	Reserved	RO	Reserved	0

8	LSIRDYIE	RW	LSI準備完了割り込み有効ビット 1:LSI-ready 割り込みを有効にする 0:LSI-ready 割り込みを無効にする	0
7	CSSF	RO	クロックセキュリティシステム割り込みフラグビット 1:HSEクロックの故障が検出され、クロックセーフティ割り込み(CSSI)が発生 0:クロックセキュリティシステム割り込みなし	0
[6:5]	Reserved	RO	Reserved	0
4	PLLRDYF	RO	PLLクロック準備完了ロックアウト割り込みフラグ 1:PLLクロックがロックされ、割り込みが発生 0:PLLクロックロック割り込みなし 補足:このビットはハードウェアによってセットされ、ソフトウェアがPLLRDYC = 1 を書き込むことでクリアされます	0
3	HSERDYF	RO	HSEクロック準備完了割り込みフラグビット 1:HSEクロックが安定し、割り込みが発生(HSERDYF = 1) 0:HSEクロック準備割り込みなし 補足:このビットはハードウェアによってセットされ、ソフトウェアがHSERDYC = 1 を書き込むことでクリアされます	0
2	HSIRDYF	RO	HSIクロック準備完了割り込みフラグビット 1:HSIクロックが安定し、割り込みが発生(HSIRDYF = 1) 0:HSIクロック準備割り込みなし 補足:このビットはハードウェアによってセットされ、ソフトウェアがHSIRDYC = 1 を書き込むことでクリアされます	0
1	Reserved	RO	Reserved	0
0	LSIRDYF	RO	LSIクロック準備完了割り込みフラグビット 1:LSIクロックが安定し、割り込みが発生(LSIRDYF = 1) 0:LSIクロック準備割り込みなし 補足:このビットはハードウェアによってセットされ、ソフトウェアがLSIRDYC = 1 を書き込むことでクリアされます	0

3.4.4 PB2 Peripheral Reset Register (RCC_APB2PRSTR)

Offset address: 0x0C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	USART1 RST	Reserved	SPI1 RST	TIM1 RST	Reserved	ADC1 RST	Reserved			IOPD RST	IOPC RST	Reserved	IOPA RST	Reserved	AFIO RST

Bit	Name	Access	Description	Reset value
[31:15]	Reserved	RO	Reserved	0
14	USART1RST	RW	USART1 interface reset control. 1: Reset module; 0: No effect. 0	0
13	Reserved	RO	Reserved	0
12	SPI1RST	RW	SPI1 interface reset control. 1: Reset module; 0: No effect.	0
11	TIM1RST	RW	TIM1 module reset control. 1: Reset module; 0: No effect.	0
10	Reserved	RO	Reserved	0
9	ADC1RST	RW	ADC1 module reset control. 1: Reset module; 0: No effect.	0
[8:6]	Reserved	RO	Reserved	0
5	IOPDRST	RW	PD port module reset control for I/O. 1: Reset module; 0: No effect.	0
4	IOPCRST	RW	PC port module reset control for I/O. 1: Reset module; 0: No effect.	0
3	Reserved	RO	Reserved	0
2	IOPARST	RW	PA port module reset control for I/O. 1: Reset module; 0: No effect.	0
1	Reserved	RO	Reserved	0
0	AFIORST	RW	I/O auxiliary function module reset control. 1: Reset module; 0: No effect.	0

3.4.5 PB1 Peripheral Reset Register (RCC_APB1PRSTR)

Offset address: 0x10

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			PWR RST	Reserved						I2C1 RST	Reserved				

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				WW DG RST	Reserved										TIM 2 RST

Bit	Name	Access	Description	Reset value
[31:29]	Reserved	RO	Reserved	0
28	PWRRST	RW	Power interface module reset control. 1: Reset module; 0: No effect.	0
[27:22]	Reserved	RO	Reserved	0
21	I2C1RST	RW	I2C 1 interface reset control. 1: Reset module; 0: No effect.	0
[20:12]	Reserved	RO	Reserved	0
11	WWDGRST	RW	Window watchdog reset control. 1: Reset module; 0: No effect.	0
[10:1]	Reserved	RO	Reserved	0
0	TIM2RST	RW	Timer 2 module reset control. 1: Reset module; 0: No effect.	0

3.4.6 HB Peripheral Clock Enable Register (RCC_AHBPCENR)

Offset address: 0x14

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													SRAMEN	Reserved	DMA1EN

Bit	Name	Access	Description	Reset value
[31:3]	Reserved	RO	Reserved	0
2	SRAMEN	RW	SRAM interface module clock enable bit. 1: SRAM interface module clock on during Sleep mode. 0: The SRAM interface module clock is turned off in Sleep mode.	1
1	Reserved	RO	Reserved	0
0	DMA1EN	RW	DMA1 module clock enable bit. 1: Module clock is on; 0: Module clock is off.	0

3.4.7 PB2 Peripheral Clock Enable Register (RCC_APB2PCENR)

Offset address: 0x18

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	USART1EN	Reserved	SPI1EN	TIM1EN	Reserved	ADC1EN	Reserved			IOPDEN	IOPCEN	Reserved	IOPAEN	Reserved	AFIOEN

Bit	Name	Access	Description	Reset value
[31:15]	Reserved	RO	Reserved	0
14	USART1EN	RW	USART1 interface clock enable bit. 1: Module clock is on; 0: Module clock is off.	0
13	Reserved	RO	Reserved	0
12	SPI1EN	RW	SPI1 interface clock enable bit. 1: Module clock is on; 0: Module clock is off. 0	0
11	TIM1EN	RW	TIM1 module clock enable bit. 1: Module clock is on; 0: Module clock is off.	0
10	Reserved	RO	Reserved	0
9	ADC1EN	RW	ADC1 module clock enable bit. 1: Module clock is on; 0: Module clock is off.	0
[8:6]	Reserved	RO	Reserved	0
5	IOPDEN	RW	PD port module clock enable bit for I/O. 1: Module clock is on; 0: Module clock is off.	0
4	IOPCEN	RW	PC port module clock enable bit for I/O. 1: Module clock is on; 0: Module clock is off.	0
3	Reserved	RO	Reserved	0
2	IOPAEN	RW	PA port module clock enable bit for I/O. 1: Module clock is on; 0: Module clock is off.	0
1	Reserved	RO	Reserved	0
0	AFIOEN	RW	I/O auxiliary function module clock enable bit. 1: Module clock is on; 0: Module clock is off.	0

3.4.8 PB1 Peripheral Clock Enable Register (RCC_APB1PCENR)

Offset address: 0x1C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			PWREN	Reserved						I2C1EN	Reserved				

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				WWDGEN	Reserved										TIM2EN

Bit	Name	Access	Description	Reset value
[31:29]	Reserved	RO	Reserved	0
28	PWREN	RW	Power interface module clock enable bit. 1: Module clock is on; 0: Module clock is off.	0
[27:22]	Reserved	RO	Reserved	0
21	I2C1EN	RW	I2C 1 interface clock enable bit. 1: Module clock is on; 0: Module clock is off.	0
[20:12]	Reserved	RO	Reserved	0
11	WWDGEN	RW	Window watchdog clock enable bit. 1: Module clock is on; 0: Module clock is off.	0
[10:1]	Reserved	RO	Reserved	0
0	TIM2EN	RW	Timer 2 module clock enable bit. 1: Module clock is on; 0: Module clock is off.	0

3.4.9 Control/Status Register (RCC_RSTSCKR)

Offset address: 0x24

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPW R RSTF	WW DG RSTF	IWD G RSTF	SFT RSTF	POR RSTF	PIN RSTF	Reser ved	RMV F	Reserved							

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														LSI RDY	LSION

Bit	Name	Access	Description	Reset value
31	LPWRRSTF	RO	Low-power reset flag. 1: Low-power resetが発生した 0: Low-power resetは発生していない 低電力管理モードからのリセットが発生すると1 ソフトウェアにより RMVF ビットへ書き込むとクリア	0
30	WWDGRSTF	RO	Window watchdog reset flag 1: Window watchdog resetが発生した 0: Window watchdog resetは発生していない ウィンドウ・ウォッチドッグによるリセットが発生すると1 ソフトウェアにより RMVF ビットへ書き込むとクリア	0
29	IWDGRSTF	RO	Independent watchdog reset flag. 1: independent watchdog resetが発生した 0: independent watchdog resetは発生していない Independent watchdogによるリセットが発生すると1 ソフトウェアにより RMVF ビットへ書き込むとクリア	0
28	SFTRSTF	RO	Software reset flag. 1: Software resetが発生した 0: Software resetは発生していない ソフトウェアリセットが発生すると1 ソフトウェアにより RMVF ビットへ書き込むとクリア	0
27	PORRSTF	RO	Power-up/power-down reset flag. 1: Power-up/power-down reset が発生した 0: Power-up/power-down reset は発生していない Power-up/power-downリセットが発生すると1 ソフトウェアにより RMVF ビットへ書き込むとクリア	1
26	PINRSTF	RO	External manual reset (NRST pin) flag. 1: NRST pin resetが発生した 0: NRST pin resetは発生していない 外部リセットピンによるリセットが発生すると1 ソフトウェアにより RMVF ビットへ書き込むとクリア	0
25	Reserved	RO	Reserved	0
24	RMVF	RW	Clear reset flag control. 1: リセットフラグをクリアする 0: No effect.	0
[23:2]	Reserved	RO	Reserved	0

1	LSIRDY	RO	Internal Low Speed Clock (LSI) Stable Ready flag bit (set by hardware). 1: internal low-speed clock (128kHz) が安定している 0: Internal low-speed clock (128kHz) は安定していない 本フラグは、ハードウェアにより設定される。 LSION ビットが 0 にクリアされた後、本フラグが 0 に遷移するまでに 3 LSI サイクルを要する。	0
0	LSION	RW	Internal low-speed clock (LSI) enable control bit. 1: Enable the LSI (128kHz) oscillator. 0: Disable the LSI (128kHz) oscillator.	0

注記：本フラグはソフトウェアによる書き込み操作でクリア可能であるが、BIT1 は電源オン・リセットによってのみクリアされる。

Chapter 4 独立型ウォッチドッグ(IWDG)

本システムは、外部環境による障害に起因する論理エラーおよびソフトウェア障害の検出を目的として、独立型ウォッチドッグ(IWDG)を搭載している。

IWDG のクロックソースは 内部低速クロック(LSI) に由来し、メインプログラムとは独立して動作可能であるため、精度よりも独立性や簡便性が重視される場面に適している。

4.1 主な機能

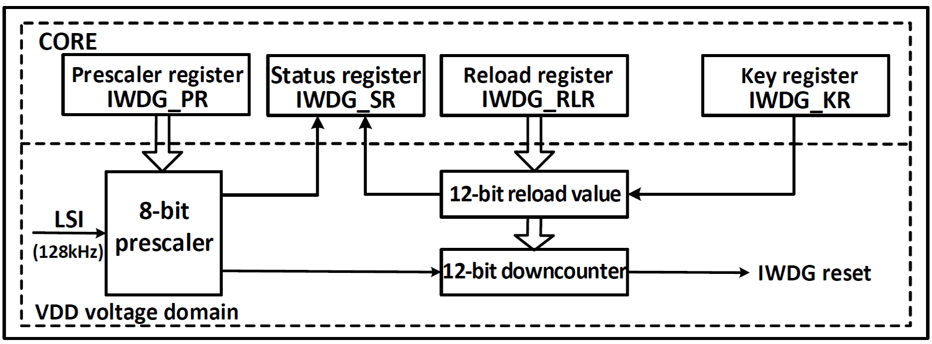
- 12ビット自己減算型カウンタ
- クロックソース:LSI 分周器(低電力モードで動作可能)
- リセット条件:カウンタ値が 0 に到達した場合

4.2 機能説明

4.2.1 原理および用途

独立型ウォッチドッグはLSIクロックによって駆動され、シャットダウンおよびスタンバイモード中も機能を維持する。ウォッチドッグカウンタが自動減算によって0になると、システムリセットが生成されるため、タイムアウトは(リロード値 + 1)クロックである。

図 4-1 独立型ウォッチドッグの構成ブロック図



独立型ウォッチドッグの有効化

システムリセット後、ウォッチドッグは無効状態であり、IWDG_CTLRレジスタに0xCCCCを書き込むことでウォッチドッグが有効化される。この操作後は、リセットが発生しない限りウォッチドッグを無効化することはできない。

ユーオプションバイトにおいてハードウェア独立型ウォッチドッグ有効ビット(IWDG_SW)がオンに設定されている場合、マイクロコントローラのリセット後にIWDGは有効となる。

ウォッチドッグ構成

ウォッチドッグは内部的に12ビットのカウンタで構成され、減算動作を行う。カウンタ値が0まで減少すると、システムリセットが発生する。IWDG機能を有効化するには以下の操作を行う必要がある。

1. カウント時間基準：
   IWDGのクロック源はLSIであり、IWDG_PSCRレジスタを介してLSIの分周値クロックをIWDGのカウント時間基準として設定する。操作方法は、まずIWDG_CTLRレジスタに0x5555を書き込み、その後IWDG_PSCRレジスタで分周比を変更する。IWDG_STATRレジスタのPVUビットは分周値の更新状態を示し、更新完了時のみ分周値の変更および読み出しが可能である。
2. リロード値：
   スタンドアロンウォッチドッグのカウンタの現在値を更新するために使用され、この値からカウンタが減算される。IWDG_STATRレジスタのRVUビットはリロード値の更新状態を示し、更新完了時のみIWDG_RLDRレジスタの変更および読み出しが可能である。
3. ウォッチドッグ有効化：
   IWDG_CTLRレジスタに0xCCCCを書き込むことでウォッチドッグ機能を有効化する。
4. ドッグの給餌：
   すなわち、ウォッチドッグカウンタが0に達する前に現在のカウンタ値をクリアし、システムリセットの発生を防止する。IWDG_CTLRレジスタに0xAAAAを書き込むことで、ハードウェアがIWDG_RLDRレジスタの値をウォッチドッグカウンタに更新する。この操作はウォッチドッグ機能が有効化された後、定期的に実行する必要があり、実行されない場合はウォッチドッグによるリセットが発生する。

4.2.2 デバッグモード

システムがデバッグモードになった時に IWDG のカウンタ動作を継続するのか停止するかを、デバッグモジュールのレジスタにより設定することができる。

4.3 レジスタ詳細

表 4-1：IWDG 関連レジスター覧

Name	Access address	Description	Reset value
R16_IWDG_CTLR	0x40003000	Control register	0x0000
R16_IWDG_PSCR	0x40003004	Prescaler register	0x0000
R16_IWDG_RLDR	0x40003008	Reload register	0x0FFF
R16_IWDG_STATR	0x4000300C	Status register	0x0000

4.3.1 Control Register (IWDG_CTLR)

Offset address: 0x00

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[15:0]															

Bit	Name	Access	Description	Reset value
[15:0]	KEY	WO	キー値ロック操作 - 0xAAAA：ウォッチドッグのリフレッシュ（Feed the dog）。IWDG_RLDR レジスタの値をウォッチドッグ・カウンタへロードする - 0x5555：R16_IWDG_PSCR および R16_IWDG_RLDR レジスタの変更を許可する - 0xCCCC：ウォッチドッグを起動する（ただし、ユーオプションバイトでハードウェアウォッチドッグが有効化されている場合を除く）	0

4.3.2 Prescaler Register (IWDG_PSCR)

Offset address: 0x04

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													PR[2:0]		

Bit	Name	Access	Description	Reset value
[15:3]	Reserved	RO	Reserved	0
[2:0]	PR[2:0]	RW	IWDG クロック分周比 このフィールドを変更する前に、KEY に 0x5555 を書き込む必要がある。 000: Divided by 4;　001: Divided by 8. 010: Divided by 16;　011: Divided by 32. 100: Divided by 64;　101: Divided by 128. 110: Divided by 256; 111: Divided by 256. IWDG のカウント時間基準は、LSI クロック ÷ 分周比で決定される。 注記：このフィールドの値を読み出す前に、IWDG_STATR レジスタの PVU ビットが 0 であることを確認すること。PVU が 1 の場合、読み出し値は無効である。	0

4.3.3 Reload Register (IWDG_RLDR)

Offset address: 0x08

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				RL[11:0]											

Bit	Name	Access	Description	Reset value
[15:12]	Reserved	RO	Reserved	0
[11:0]	RL[11:0]	RW	カウンタ･リロード値 このフィールドを変更する前に、KEY に 0x5555 を書き込む必要がある。 KEY に 0xAAAA を書き込むと、本フィールドの値がハードウェアによってカウンタへロードされ、以降その値から減算が開始される。 注記：このフィールドの読み出しまたは書き込みを行う前に、IWDG_STATR レジスタの RVU ビットが 0 であることを確認すること。RVU が 1 の場合、読み書きは無効である。	0xFFF

4.3.4 Status Register (IWDG_STATR)

Offset address: 0x0C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														RVU	PVU

Bit	Name	Access	Description	Reset value
[15:2]	Reserved	RO	Reserved	0
1	RVU	RO	リロード値更新フラグビット(RVU) このビットはハードウェアによって設定またはクリアされる。 - 1:リロード値の更新処理中 - 0:リロード値の更新完了(最大 5 LSI クロック周期) 注記:IWDG_RLDR レジスタは、RVU ビットが 0 にクリアされた後でのみ、読み書きが可能である。	0
0	PVU	RO	クロック分周比更新フラグビット(PVU) このビットはハードウェアによって設定またはクリアされる。 - 1:クロック分周値の更新処理中 - 0:クロック分周値の更新完了(最大 5 LSI クロック周期) 注記:IWDG_PSCR レジスタは、PVU ビットが 0 にクリアされた後でのみ、読み書きが可能である。	0

注記:プリスケーラまたはリロード値の更新後、RVU や PVU がクリアされるのを待つ必要はなく、後続のコードはそのまま実行可能である。
(この書き込み操作は、低電力モード中でも完了まで継続して実行される。)

Chapter 5 ウィンドウ・ウォッチドッグ（WWDG）

ウィンドウ・ウォッチドッグは、外部ノイズや予期しない論理エラーなどのソフトウェア障害を監視するために使用される。

WWDG では、指定されたウィンドウ時間（上限および下限）内にカウンタのリフレッシュ（Feed the dog）を行う必要がある。

この時間枠よりも早すぎる、または遅すぎるリフレッシュが行われた場合、ウォッチドッグ回路はシステム・リセットを生成する。

5.1 主な機能

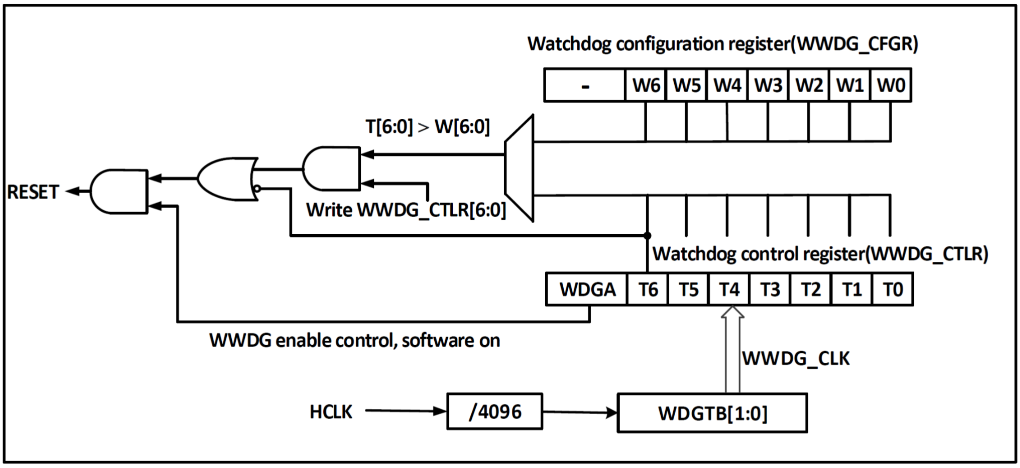
- プログラム可能な 7ビット減算型カウンタ
- 二条件リセット：カウンタ値が 0x40 未満、またはウィンドウ時間外でのリロード操作
- 早期通知機能（EWI）：リセットを防ぐためのタイムリーなリフレッシュ操作を促す

5.2 機能説明

5.2.1 原理および用途

ウィンドウウォッチドッグの動作は、HBバス下に配置された7ビットのダウンカウンタに基づいており、時間基準WWDG_CLKソース（HCLK/4096）クロックの分周周波数をカウントする。分周比は構成レジスタWWDG_CFGR内のWDGTB[1:0]フィールドで設定される。ダウンカウンタはフリーランニング状態にあり、ウォッチドッグ機能の有効・無効に関係なく、カウンタは減算動作を繰り返す。内部構造のブロック図を図5-1に示す。

図 5-1：ウィンドウ・ウォッチドッグの構成ブロック図



ウィンドウ・ウォッチドッグの有効化

システムリセット後、WWDG は無効状態となる。

WWDG_CTLR レジスタの WDGA ビットをセットすることでウォッチドッグが有効化され、一度有効化されると、リセットが発生しない限り無効化できない。

注記：ウォッチドッグ機能は、以下のいずれかにより間接的に停止可能である

- RCC_APB1PCENR レジスタで WWDG のクロック供給を停止し、WWDG_CLK のカウントを一時停止する
- RCC_APB1PRSTR レジスタで WWDG モジュールをリセットする（これはリセットと同等の効果を持つ）

ウォッチドッグ構成手順

WWDG は内部に読み書き可能な 7 ビット減算型カウンタを持ち、常に減算を繰り返す。ウォッチドッグ・リセット機能を使用するには、以下の手順を実行する。

1．カウント時間基準の設定
WWDG_CFGR レジスタの WDGTB[1:0] フィールドで分周比を設定する。
※ RCC ユニットの WWDG モジュールクロックを有効にしておく必要がある。

2．ウィンドウカウンタの設定
WWDG_CFGR レジスタの W[6:0] フィールドにウィンドウ上限値を設定する。
この値はハードウェアによって現在のカウンタ値と比較され、ウィンドウ時間の上限として機能する。
設定値はソフトウェアで固定され、動的には変化しない。

3．ウォッチドッグの有効化
WWDG_CTLR レジスタの WDGA ビットを 1 に設定することで、ウォッチドッグ機能を有効化できる。
これにより、システムリセットが有効となる。

4．ウォッチドッグのリフレッシュ（Feed the dog）

WWDG_CTLR レジスタの T[6:0] フィールドに値を書き込むことで、現在のカウンタ値をリフレッシュする。
この操作は、ウォッチドッグ有効化後、ウィンドウ時間内に周期的に実行する必要がある。
ウィンドウ時間外でのリフレッシュや放置は、ウォッチドッグ・リセットを引き起こす。

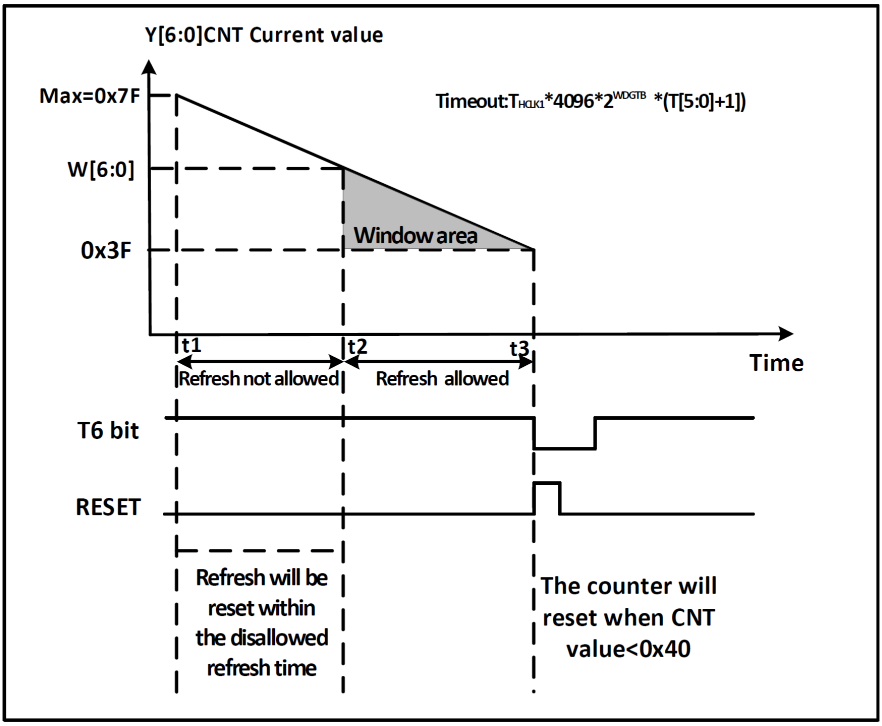
ドッグフィード可能なウィンドウ時間

図 5-2 に示すように、グレーの領域がウィンドウ・ウォッチドッグの監視ウィンドウ時間である。

- 上限時刻 t_2:現在のカウンタ値が W[6:0] に到達した時点
- 下限時刻 t_3:現在のカウンタ値が 0x3F に到達した時点

この間の時間帯 $t_2 < t < t_3$ において、T[6:0] フィールドへの書き込み(ドッグフィード)を行うことで、カウンタ値をリフレッシュすることが可能である。

図 5-2:ウィンドウ・ウォッチドッグのカウント動作モード



ウォッチドッグ・リセット

1. タイムリーなドッグフィード操作が行われず、T[6:0] カウンタ値が 0x40 から 0x3F に変化した場合、ウィンドウ・ウォッチドッグ・リセットが発生し、システム・リセットが生成される。

これは、ハードウェアが T6 ビットを 0 と検出したことにより、リセットが発生することを意味する。
注記:アプリケーション側で T6 ビットを 0 に書き込むことで、ソフトウェアによるリセットと同等の動作を実現可能。

2. 禁止されたドッグフィード時間帯($t_1 \leq t \leq t_2$)に T[6:0] フィールドへの書き込み操作が行われた場合、ウィンドウ・ウォッチドッグ・リセットが発生し、システム・リセットが生成される。

早期ウェイクアップ(EWI)

カウンタがタイムリーにリフレッシュされずにシステム・リセットが発生するのを防ぐため、ウォッチドッグ・モジュールは早期ウェイクアップ割り込み(EWI)通知機能を提供している。

- カウンタが自動減算により 0x40 に到達すると、早期ウェイクアップ信号が生成され、EWIF フラグが 1 にセットされる。
- EWI ビットが有効(セット)されている場合、同時にウィンドウ・ウォッチドッグ割り込みが発生する。
- この時点から 1 カウンタクロック周期(次の 0x3F への減算)の猶予があり、アプリケーションは即座にドッグフィード操作を実行することでリセットを回避できる。

5.2.2 デバッグモード

システムがデバッグモードに入ったときに WWDG のカウンタ動作を「継続」または「停止」するように、デバッグモジュールのレジスタによって設定可能である。

5.3 レジスタ詳細

表 5-1:WWDG 関連レジスタ一覧

Name	Access address	Description	Reset value
R16_WWDG_CTLR	0x40002C00	Control Register	0x007F
R16_WWDG_CFGR	0x40002C04	Configuration Register	0x007F
R16_WWDG_STATR	0x40002C08	Status Register	0x0000

5.3.1 Control Register (WWDG_CTLR)

Offset address: 0x00

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								WDGA	T[6:0]						

Bit	Name	Access	Description	Reset value
[15:8]	Reserved	RO	Reserved	0
7	WDGA	RW1	ウィンドウ・ウォッチドッグ・リセット有効化ビット(WDGA) 1: ウォッチドッグ機能を有効化(リセット信号を生成) 0: ウォッチドッグ機能を無効化 ※ソフトウェアによる 1 の設定は可能だが、0 へのクリアはリセット後にハードウェアのみが実行可能	0
[6:0]	T[6:0]	RW	7ビット自動減算カウンタ このカウンタは、4096 × 2 × WDGTB × HCLK サイクルごとに 1 減算される。 カウンタ値が 0x40 から 0x3F に減少した際、すなわち T6 ビットが 0 に遷移した瞬間にウォッチドッグ・リセットが発生する。(カウンタの最上位ビットが1から0になったときにリセット)	0x7F

5.3.2 Configuration Register (WWDG_CFGR)

Offset address: 0x04

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						EWI	WDGTB[1:0]		W[6:0]						

Bit	Name	Access	Description	Reset value
[15:10]	Reserved	RO	Reserved	0
9	EWI	RW1	早期ウェイクアップ割り込み有効化ビット(EWI) 1: カウンタ値が 0x40 に到達したときに割り込みが生成される 0: 割り込み無効 ※このビットはソフトウェアで 1 に設定可能だが、0 へのクリアはリセット後にハードウェアのみが実行可能	0
[8:7]	WDGTB [1:0]	RW	ウィンドウ・ウォッチドッグ・クロック分周選択 00: HCLK / 4096 01: HCLK / 4096 / 2 10: HCLK / 4096 / 4 11: HCLK / 4096 / 8	0
[6:0]	W[6:0]	RW	ウィンドウ・ウォッチドッグ 7ビットウィンドウ値 ドッグフィード操作(T[6:0] への書き込み)は、カウンタ値がウインドウ値より小さく 0x3Fより大きい場合にのみ実行可能	0x7F

5.3.3 Status Register (WWDG_STATR)

Offset address: 0x08

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															EWIF

Bit	Name	Access	Description	Reset value
[15:1]	Reserved	RO	Reserved	0
0	EWIF	RW0	早期ウェイクアップ割り込みフラグビット - カウンタが 0x40 に到達すると、ハードウェアによりこのビットが自動的に 1 にセットされる。 - このビットはソフトウェアによって 0 にクリアする必要がある。 - ユーザーによる書き込み操作は無効(読み取り専用)。 - EWI ビットが無効(未設定)であっても、このビットはイベント発生時に通常通りセットされる。	0

Chapter 6 割り込みとイベント（PFIC）

　CH32V003シリーズは、最大255個の割り込みベクタをサポートする内蔵型プログラマブル高速割り込みコントローラ（PFIC）を備えている。現在のシステムは、23個の周辺機器割り込みチャネルと4個のコア割り込みチャネルを管理しており、その他は予約済みである。

6.1 主な機能

6.1.1 PFIC

- 23個の周辺割り込みは、それぞれの割り込み要求に対して独立したトリガ制御ビットおよびマスク制御ビット、専用のステータスビットを持つ。
- プログラム可能な多段階割り込みネスト機能を備え、最大ネスト深度は2レベル、ハードウェアスタック深度も2レベルである。
- 高速な割り込みエントリおよびエグジット機構を備え、ハードウェアによる自動スタックおよび復帰が行われる。
- Vector Table Free（VTF）割り込み応答機構を備え、二系統のプログラム可能な割り込みベクタアドレスへの直接アクセスが可能である。

6.1.1 PFIC（プログラマブル高速割り込みコントローラ）

- 23個の周辺機器割り込みは、それぞれの割り込み要求に対して独立したトリガ制御ビット、マスク制御ビット、ステータスビットが存在する。
- プログラム可能な多段階割り込みネスト機能を備え、最大ネスト深度は2段階、ハードウェアスタック深度も2段階である。
- 高速な割り込みエントリ／終了機構を備え、ハードウェアによる自動スタックおよび復帰が行われる。
- Vector Table Free（VTF）割り込み応答機構を備え、割り込みベクタアドレスへの2方向プログラム可能な直接アクセスが可能である。

6.2 システムタイマー

・CH32V003シリーズ

　コアには32bit加算カウンタ（SysTick）が搭載されており、HCLKまたはHCLK/8を時間基準としてサポートし、高優先度で動作する。キャリブレーション後は時間基準として使用可能である。

6.3 割り込みおよび例外のベクタテーブル

表 6-1：CH32V003シリーズ ベクタテーブル

No.	Priority	Type	Name	Description	Entrance address
0	-	-	-	-	0x00000000
1	-	-	-	-	0x00000004
2	-2	fixed	NMI	Non-maskable interrupts	0x00000008
3	-1	fixed	HardFault	Abnormal interruptions	0x0000000C
4-11	-	-	-	Reserved	0x00000010 - 0x0000002C
12	0	programmable	SysTick	System timer interrupt	0x00000030
13	-	-	-	Reserved	0x00000034
14	1	programmable	SW	Software interrupt	0x00000038
15	-	-	-	Reserved	0x0000003C
16	2	programmable	WWDG	Window timer interrupt	0x00000040
17	3	programmable	PVD	Supply voltage detection interrupt (EXTI)	0x00000044
18	4	programmable	FLASH	Flash global interrupt	0x00000048
19	5	programmable	RCC	Reset and clock control interrupts	0x0000004C
20	6	programmable	EXTI7_0	EXTI line 0-7 interrupt	0x00000050
21	7	programmable	AWU	Wake-up interrupt	0x00000054
22	8	programmable	DMA1_CH1	DMA1 channel 1 global interrupt	0x00000058
23	9	programmable	DMA1_CH2	DMA1 channel 2 global interrupt	0x0000005C
24	10	programmable	DMA1_CH3	DMA1 channel 3 global interrupt	0x00000060
25	11	programmable	DMA1_CH4	DMA1 channel 4 global interrupt	0x00000064
26	12	programmable	DMA1_CH5	DMA1 channel 5 global interrupt	0x00000068
27	13	programmable	DMA1_CH6	DMA1 channel 6 global interrupt	0x0000006C
28	14	programmable	DMA1_CH7	DMA1 channel 7 global interrupt	0x00000070
29	15	programmable	ADC	ADC global Interrupt	0x00000074
30	16	programmable	I2C1_EV	I2C1 event interrupt	0x00000078

31	17	programmable	I2C1_ER	I2C1 error interrupt	0x0000007C
32	18	programmable	USART1	USART1 global interrupt	0x00000080
33	19	programmable	SPI1	SPI1 global Interrupt	0x00000084
34	20	programmable	TIM1BRK	TIM1 brake interrupt	0x00000088
35	21	programmable	TIM1UP	TIM1 update interrupt	0x0000008C
36	22	programmable	TIM1TRG	TIM1 triggers an interrupt	0x00000090
37	23	programmable	TIM1CC	TIM1 captures the compare interrupt	0x00000094
38	24	programmable	TIM2	TIM2 global interrupt	0x00000098

6.4 外部割り込みおよびイベントコントローラ(EXTI)

6.4.1 概要

EXTI(External Interrupt and Event Controller)は、外部信号に基づく割り込みおよびイベントの検出・処理を行うモジュールであり、柔軟なトリガ条件とマスク制御を提供する。

図 6-1:外部割り込み(EXTI)インターフェースブロック図

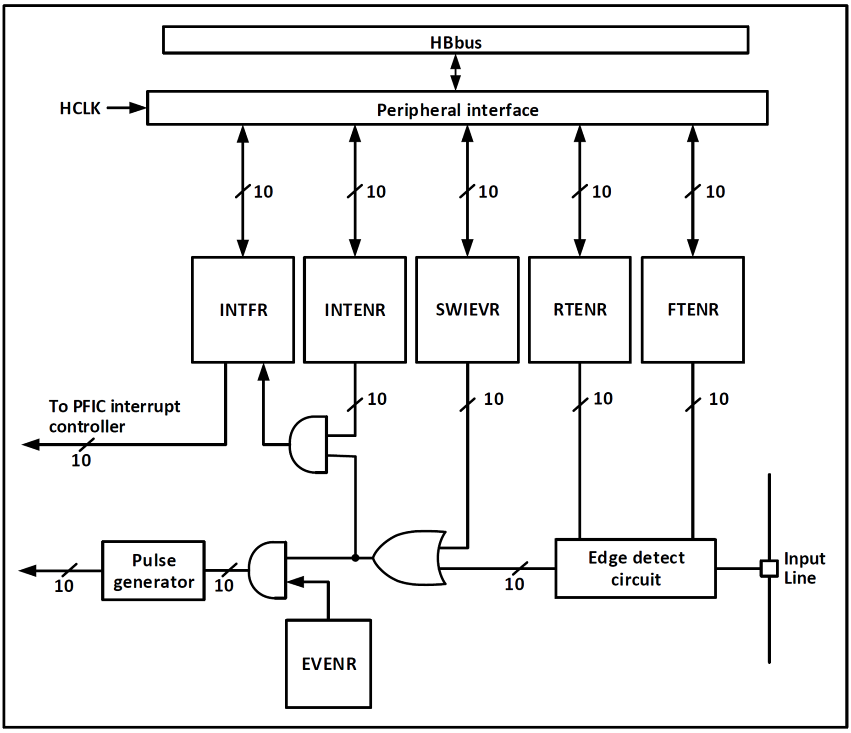


図6-1に示すように、外部割り込みのトリガソースはソフトウェア割り込み(SWIEVR)または実際の外部割り込みチャネルのいずれかである。外部割り込みチャネルの信号は、最初にエッジ検出回路によってフィルタリングされる。

ソフトウェア割り込みまたは外部割り込み信号のいずれかが生成されると、図中のORゲート回路を経由して、イベントイネーブルおよび割り込みイネーブルの2つのANDゲート回路に出力される。

割り込みがイネーブルされているか、イベントがイネーブルされていれば、割り込みまたはイベントが生成される。

EXTIの6個のレジスタは、HBインタフェースを介してプロセッサからアクセスされる。

6.4.2 ウェイクアップイベント

WFE命令によってスリープモードに入ったシステムは、ウェイクアップイベントによって復帰可能である。ウェイクアップイベントは以下の2つの構成のいずれかによって生成される。

- 周辺レジスタで割り込みをイネーブルし、コアのPFICではこの割り込みをイネーブルせず、同時にコア内のSEVONPENDビットをイネーブルする。EXTIにおいては、EXTI割り込みをイネーブルし、PFICではEXTI割り込みをイネーブルせず、同時にSEVONPENDビットをイネーブルする。CPUがWFEから復帰した際には、EXTI割り込みフラグビットおよびPFICペンディングビットをクリアする必要がある。
- EXTIチャネルをイベントチャネルとしてイネーブルすることで、CPUがWFEから復帰した後に割り込みフラグビットおよびPFICペンディングビットをクリアする必要がなくなる。

6.4.3 説明

外部割り込みを使用するには、対応する外部割り込みチャネルの構成が必要である。すなわち対応するトリガエッジの選択および対応する割り込みのイネーブルが必要である。

設定されたトリガエッジが外部割り込みチャネル上に現れると、割り込み要求が生成され、対応する割り込みフラグビットがセットされる。フラグビットは、ビットに1を書き込むことでクリア可能である。

外部ハードウェア割り込みの使用手順:

1. GPIOの設定。
2. 対応する外部割り込みチャネルに対して割り込みイネーブルビット(EXTI_INTENR)を設定する。
3. トリガエッジ(EXTI_RTENRまたはEXTI_FTENR)を設定し、立ち上がりエッジトリガ、立ち下がりエッジトリガ、または両エッジトリガを選択する。
4. コアのPFICにおいてEXTI割り込みを設定し、正しく応答できるようにする。

外部ハードウェアイベントの使用手順:

1. GPIO操作の設定。
2. 対応する外部割り込みチャネルに対してイベントイネーブルビット(EXTI_EVENR)を設定する。
3. トリガエッジ(EXTI_RTENRまたはEXTI_FTENR)を設定し、立ち上がりエッジトリガ、立ち下がりエッジトリガ、または両エッジトリガを選択する。

ソフトウェア割り込み／イベントの使用手順:

1. 外部割り込み(EXTI_INTENR)または外部イベント(EXTI_EVENR)をイネーブルする。

2. 割り込みサービス関数を使用する場合、EXTI割り込みをコアのPFICで設定する必要がある。
3. ソフトウェア割り込みトリガ(EXTI_SWIEVR)を設定する。これにより割り込みが生成される。

6.4.4 外部イベントマッピング

表 6-2:EXTI 割り込みマッピング

External interrupt / Event lines	Mapping Event Description
EXTI0 ~ EXTI7	Px0 ～ Px7(x = A, C, D)に対応する 任意の I/O ポートは、外部割り込み／イベント機能を有効化可能。 対応チャネルの割り込み／イベント入力は、AFIO_EXTICR レジスタによって設定する。
EXTI8	PVDイベント:電圧監視しきい値超過
EXTI9	自動ウェイクアップイベント

6.5 レジスタ詳細

6.5.1 EXTI レジスタ

表 6-3：EXTI 関連レジスタ一覧

Name	Access address	Description	Reset value
R32_EXTI_INTENR	0x40010400	Interrupt enable register	0x00000000
R32_EXTI_EVENR	0x40010404	Event enable register	0x00000000
R32_EXTI_RTENR	0x40010408	Rising edge trigger enable register	0x00000000
R32_EXTI_FTENR	0x4001040C	Falling edge trigger enable register	0x00000000
R32_EXTI_SWIEVR	0x40010410	Soft interrupt event register	0x00000000
R32_EXTI_INTFR	0x40010414	Interrupt flag register	0x0000XXXX

6.5.1.1 Interrupt Enable Register (EXTI_INTENR)

Offset address: 0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						MR9	MR8	MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0

Bit	Name	Access	Description	Reset value
[31:10]	Reserved	RO	Reserved	0
[9:0]	MRx	RW	外部割り込みチャネル x の割り込み要求信号を有効化する。 1: このチャネルの割り込みを有効化する 0: このチャネルの割り込みをマスクする	0

6.5.1.2 Event Enable Register (EXTI_EVENR)

Offset address: 0x04

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						MR9	MR8	MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0

Bit	Name	Access	Description	Reset value
[31:10]	Reserved	RO	Reserved	0
[9:0]	MRx	RW	外部割り込みチャネル x のイベント要求信号を有効化する。 1: このチャネルのイベントを有効化する 0: このチャネルのイベントをブロックする	0

6.5.1.3 Rising Edge Trigger Enable Register (EXTI_RTENR)

Offset address: 0x08

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						TR9	TR8	TR7	TR6	TR5	TR4	TR3	TR2	TR1	TR0

Bit	Name	Access	Description	Reset value
[31:10]	Reserved	RO	Reserved	0
[9:0]	TRx	RW	外部割り込みチャネル x の立ち上がりエッジトリガを有効化する。 1: このチャネルの立ち上がりエッジトリガを有効化する 0: このチャネルの立ち上がりエッジトリガを無効化する	0

6.5.1.4 Falling Edge Trigger Enable Register (EXTI_FTENR)

Offset address: 0x0C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved						TR9	TR8	TR7	TR6	TR5	TR4	TR3	TR2	TR1	TR0

Bit	Name	Access	Description	Reset value
[31:10]	Reserved	RO	Reserved	0
[9:0]	TRx	RW	外部割り込みチャネル x の立ち下がりエッジトリガを有効化する。 1: このチャネルの立ち下がりエッジトリガを有効化する 0: このチャネルの立ち下がりエッジトリガを無効化する	0

6.5.1.5 Software Interrupt Event Register (EXTI_SWIEVR)

Offset address: 0x10

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved						SWIER9	SWIER8	SWIER7	SWIER6	SWIER5	SWIER4	SWIER3	SWIER2	SWIER1	SWIER0

Bit	Name	Access	Description	Reset value
[31:10]	Reserved	RO	Reserved	0
[9:0]	SWIERx	RW	対応する外部トリガ割り込みチャネルにソフトウェア割り込みが設定される。 ここで設定すると、割り込みフラグビット(EXTI_INTFR)が位置ビットに対応し、割り込み有効(EXTI_INTENR)またはイベント有効(EXTI_EVENR)がオンの場合、割り込みまたはイベントが生成される。	0

6.5.1.6 Interrupt Flag Register (EXTI_INTFR)

Offset address: 0x14

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved						IF9	IF8	IF7	IF6	IF5	IF4	IF3	IF2	IF1	IF0

Bit	Name	Access	Description	Reset value
[31:10]	Reserved	RO	Reserved	0
[9:0]	IFx	W1	割り込みフラグビット、この位置ビットのフラグは、対応する外部割り込みが発生したことを示す。 1 を書き込むことでこのビットはクリアされる。	X

6.5.2 PFIC Registers

表 6-4 PFIC 関連レジスター覧

Name	Access address	Description	Reset value
R32_PFIC_ISR1	0xE000E000	PFIC interrupt enable status register 1	0x0000000C
R32_PFIC_ISR2	0xE000E004	PFIC interrupt enable status register 2	0x00000000
R32_PFIC_IPR1	0xE000E020	PFIC interrupt pending status register 1	0x00000000
R32_PFIC_IPR2	0xE000E024	PFIC interrupt pending status register 2	0x00000000
R32_PFIC_ITHRESDR	0xE000E040	PFIC interrupt priority threshold configuration register	0x00000000
R32_PFIC_CFGR	0xE000E048	PFIC interrupt configuration register	0x00000000
R32_PFIC_GISR	0xE000E04C	PFIC interrupt global status register	0x00000000
R32_PFIC_VTFIDR	0xE000E050	PFIC VTF interrupt ID configuration register	0x00000000
R32_PFIC_VTFADDRR0	0xE000E060	PFIC VTF interrupt 0 offset address register	0x00000000
R32_PFIC_VTFADDRR1	0xE000E064	PFIC VTF interrupt 1 offset address register	0x00000000
R32_PFIC_IENR1	0xE000E100	PFIC interrupt enable setting register 1	0x00000000
R32_PFIC_IENR2	0xE000E104	PFIC interrupt enable setting register 2	0x00000000
R32_PFIC_IRER1	0xE000E180	PFIC interrupt enable clear register 1	0x00000000
R32_PFIC_IRER2	0xE000E184	PFIC interrupt enable clear register 2	0x00000000
R32_PFIC_IPSR1	0xE000E200	PFIC interrupt pending setting register 1	0x00000000
R32_PFIC_IPSR2	0xE000E204	PFIC interrupt pending setting register 2	0x00000000
R32_PFIC_IPRR1	0xE000E280	PFIC interrupt pending clear register 1	0x00000000
R32_PFIC_IPRR2	0xE000E284	PFIC interrupt pending clear register 2	0x00000000
R32_PFIC_IACTR1	0xE000E300	PFIC interrupt activation status register 1	0x00000000
R32_PFIC_IACTR2	0xE000E304	PFIC interrupt activation status register 2	0x00000000
R32_PFIC_IPRIORx	0xE000E400	PFIC interrupt priority configuration register	0x00000000
R32_PFIC_SCTLR	0xE000ED10	PFIC system control register	0x00000000

Note:

1. PFIC_ISR1 レジスタのデフォルト値は 0xC であり、NMI および例外は常にデフォルトで有効化されている。
2. NMI および EXC は、割り込みペンディングのクリアおよび設定操作をサポートするが、割り込み有効のクリアおよび設定操作はサポートしない。

Note: PFIC_IENRx レジスタで任意の割り込みをマスクする場合や、CSR レジスタでグローバル割り込みをマスクする場合は、割り込み有効状態とカーネル制御状態を同期させるために、追加の "fence.i" 命令を挿入すること。

6.5.2.1 PFIC Interrupt Enable Status Register 1 (PFIC_ISR1)

Offset address: 0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
INTENSTA[31:16]															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	INTENSTA14	Reserved	INTENSTA12	Reserved								INTENSTA3	INTENSTA2	Reserved	

Bit	Name	Access	Description	Reset value
[31:16]	INTENSTA	RO	16# - 31# 割り込みの現在の有効状態。 1: 現在の番号の割り込みは有効化されている 0: 現在の番号の割り込みは無効化されている	0
15	Reserved	RO	Reserved	0
14	INTENSTA	RO	14# 割り込みの現在の有効状態。 1: 現在の番号の割り込みは有効化されている 0: 現在の番号の割り込みは無効化されている	0
13	Reserved	RO	Reserved	0
12	INTENSTA	RO	12# 割り込みの現在の有効状態。 1: 現在の番号の割り込みは有効化されている 0: 現在の番号の割り込みは無効化されている	0
[11:4]	Reserved	RO	Reserved	0
[3:2]	INTENSTA	RO	2# - 3# 割り込みの現在の有効状態。 1: 現在の番号の割り込みは有効化されている 0: 現在の番号の割り込みは無効化されている	0x3
[1:0]	Reserved	RO	Reserved	0

6.5.2.2 PFIC Interrupt Enable Status Register 2 (PFIC_ISR2)

Offset address: 0x04

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									INTENSTA[6:0]						

Bit	Name	Access	Description	Reset value
[31:7]	Reserved	RO	Reserved	0
[6:0]	INTENSTA	RO	32# - 38# 割り込みの現在の有効状態。 1: 現在の番号の割り込みは有効化されている 0: 現在の番号の割り込みは無効化されている	0

6.5.2.3 PFIC Interrupt Pending Status Register 1 (PFIC_IPR1)

Offset address: 0x20

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PENDSTA[31:16]															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	PENDSTA14	Reserved	PENDSTA12	Reserved								PENDSTA3	PENDSTA2	Reserved	

Bit	Name	Access	Description	Reset value
[31:16]	PENDSTA	RO	16# - 31# 割り込みの現在の有効状態。 1: 現在の番号の割り込みは有効化されている 0: 現在の番号の割り込みは無効化されている	0
15	Reserved	RO	Reserved	0
14	PENDSTA	RO	14# 割り込みの現在の有効状態。 1: 現在の番号の割り込みは有効化されている 0: 現在の番号の割り込みは無効化されている	0
13	Reserved	RO	Reserved	0
12	PENDSTA	RO	12# 割り込みの現在の有効状態。 1: 現在の番号の割り込みは有効化されている 0: 現在の番号の割り込みは無効化されている	0
[11:4]	Reserved	RO	Reserved	0
[3:2]	PENDSTA	RO	2# - 3# 割り込みの現在の有効状態。 1: 現在の番号の割り込みは有効化されている 0: 現在の番号の割り込みは無効化されている	0
[1:0]	Reserved	RO	Reserved	0

6.5.2.4 PFIC Interrupt Pending Status Register 2 (PFIC_IPR2)

Offset address: 0x24

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									PENDSTA[38:32]						

Bit	Name	Access	Description	Reset value
[31:7]	Reserved	RO	Reserved	0
[6:0]	PENDSTA	RO	32# - 38# 割り込みの現在の有効状態。 1: 現在の番号の割り込みは有効化されている 0: 現在の番号の割り込みは無効化されている	0

6.5.2.5 PFIC Interrupt Priority Threshold Configuration Register (PFIC_ITHRESDR)

Offset address: 0x40

31:8	7:0
Reserved	THRESHOLD[7:0]

Bit	Name	Access	Description	Reset value
[31:8]	Reserved	RO	Reserved	0
[7:0]	THRESHOLD [7:0]	RW	割り込み優先度しきい値の設定値。 現在の設定値より低い割り込み優先度値は、ペンディング状態になっても割り込みサービスを実行しない。 このレジスタが 0 の場合、しきい値レジスタ機能は無効となる。 [7:6]: 優先度しきい値 [5:0]: 予約済み、0 に固定、書き込み無効	0

6.5.2.6 PFIC Interrupt Configuration Register (PFIC_CFGR)

Offset address: 0x48

31:16
KEYCODE[15:0]

15:8	7	6:0
Reserved	RESETSYS	Reserved

Bit	Name	Access	Description	Reset value
[31:16]	KEYCODE [15:0]	WO	異なるターゲット制御ビットを変更するには、対応するセキュリティアクセス識別データ(キー)を同時に書き込む必要がある。これらのキーが正しく書き込まれない限り、制御ビットの変更は無効である。なお、これらの識別データは読み出し時に 0 に固定されており、参照することはできない。 KEY1 = 0xFA05 KEY2 = 0xBCAF KEY3 = 0xBEEF	0
[15:8]	Reserved	RO	Reserved	0
7	RESETSYS	WO	システムリセット(KEY3 に同時書き込みすることで実行)。自動で0クリアされる。 1 の書き込みは有効であり、0 の書き込みは無効である。 ※ PFIC_SCTLR レジスタの SYSRESET ビットと同一の機能を持つ。	0
[6:0]	Reserved	RO	Reserved	0

6.5.2.7 PFIC Interrupt Global Status Register (PFIC_GISR)

Offset address: 0x4C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved						GPENDSTA	GACTSTA	NESTSTA[7:0]							

Bit	Name	Access	Description	Reset value
[31:10]	Reserved	RO	Reserved	0
9	GPENDSTA	RO	現在ペンディング状態にある割り込みが存在するかどうかを示す。 1: 存在する 0: 存在しない	
8	GACTSTA	RO	現在実行中の割り込みが存在するかどうかを示す。 1: 存在する 0: 存在しない	
[7:0]	NESTSTA [7:0]	RO	現在の割り込みネスト状態を示す。最大で 2 レベルのネストと、最大 2 レベルのハードウェアスタック深度をサポートしている。 0x03: レベル2の割り込みが進行中である 0x01: レベル1の割り込みが進行中である その他の値: 割り込みは発生していない	

6.5.2.8 PFIC VTF Interrupt ID Configuration Register (PFIC_VTFIDR)

Offset address: 0x50

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
VTFID1								VTFID0							

Bit	Name	Access	Description	Reset value
[31:16]	Reserved	RO	Reserved	0
[15:8]	VTFID1	RW	VTF 割り込み1に対応する割り込み番号を設定する。	0
[7:0]	VTFID0	RW	VTF 割り込み0に対応する割り込み番号を設定する。	0

6.5.2.9 PFIC VTF Interrupt 0 Address Register (PFIC_VTFADDRR0)

Offset address: 0x60

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADDR0[31:16]															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR0[15:1]															VTF0EN

Bit	Name	Access	Description	Reset value
[31:1]	ADDR0[31:1]	RW	VTF 割り込み0のサービスプログラムアドレスを格納するビットである(bit[31:1])。 bit0 は常に 0 である。	0
0	VTF0EN	RW	VTF 割り込み0の有効化ビットである。 1: VTF 割り込み0チャネルは有効 0: 無効	0

6.5.2.10 PFIC VTF Interrupt 1 Address Register (PFIC_VTFADDRR1)

Offset address: 0x64

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADDR1[31:16]															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR1[15:1]															VTF1EN

Bit	Name	Access	Description	Reset value
[31:1]	ADDR1[31:1]	RW	VTF 割り込み1のサービスプログラムアドレスを格納するビットである(bit[31:1])。 bit0 は常に 0 である。	0
0	VTF1EN	RW	VTF 割り込み1の有効化ビットである。 1: VTF 割り込み1チャネルは有効 0: 無効	0

6.5.2.11 PFIC Interrupt Enable Setting Register 1 (PFIC_IENR1)

Offset address: 0x100

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
INTEN[31:16]															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved	INTEN14	Reserved	INTEN12	Reserved											

Bit	Name	Access	Description	Reset value
[31:1]	INTEN	WO	16#-31# の割り込み有効制御ビットである。 1: 対応する番号の割り込みを有効化する 0: 効果なし	0
15	Reserved	RO	Reserved	0
14	INTEN	WO	14# の割り込み有効制御ビットである。 1: 対応する番号の割り込みを有効化する 0: 効果なし	0
13	Reserved	RO	Reserved	0
12	INTEN	WO	12# の割り込み有効制御ビットである。 1: 対応する番号の割り込みを有効化する 0: 効果なし	0
[11:0]	Reserved	RO	Reserved	0

6.5.2.12 PFIC Interrupt Enable Setting Register 2 (PFIC_IENR2)

Offset address: 0x104

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved									INTEN[38:32]						

Bit	Name	Access	Description	Reset value
[31:7]	Reserved	RO	Reserved	0
[6:0]	INTEN	WO	32#-38# の割り込み有効制御ビットである。 1: 対応する番号の割り込みを有効化する 0: 効果なし	0

6.5.2.13 PFIC Interrupt Enable Clear Register 1 (PFIC_IRER1)

Offset address: 0x180

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
INTRSET[31:16]															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	INTRSET14	Reserved	INTRSET12	Reserved											

Bit	Name	Access	Description	Reset value
[31:16]	INTRSET	WO	16#-31# の割り込みシャットダウン制御ビットである。 1: 対応する番号の割り込みを無効化する 0: 効果なし	0
15	Reserved	RO	Reserved	0
14	INTRSET	WO	14# の割り込みシャットダウン制御ビットである。 1: 対応する番号の割り込みを無効化する 0: 効果なし	0
13	Reserved	RO	Reserved	0
12	INTRSET	WO	12# の割り込みシャットダウン制御ビットである。 1: 対応する番号の割り込みを無効化する 0: 効果なし	0
[11:0]	Reserved	RO	Reserved	0

6.5.2.14 PFIC Interrupt Enable Clear Register 2 (PFIC_IRER2)

Offset address: 0x184

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									INTRSET[38:32]						

Bit	Name	Access	Description	Reset value
[31:7]	Reserved	RO	Reserved	0
[6:0]	INTRSET	WO	32#-38# の割り込みシャットダウン制御ビットである。 1: 対応する番号の割り込みを無効化する 0: 効果なし	0

6.5.2.15 PFIC Interrupt Pending Setup Register 1 (PFIC_IPSR1)

Offset address: 0x200

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PENDSET[31:16]															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved	PENDSET14	Reserved	PENDSET12	Reserved								PENDSET3	PENDSET2	Reserved	

Bit	Name	Access	Description	Reset value
[31:16]	PENDSET	WO	16#-31# の割り込みペンディング設定ビットである。 1: 対応する番号の割り込みをペンディング状態にする 0: 効果なし	0
15	Reserved	RO	Reserved	0
14	PENDSET		14# の割り込みペンディング設定ビットである。 1: 対応する番号の割り込みをペンディング状態にする 0: 効果なし	0
13	Reserved	RO	Reserved	0
12	PENDSET		12# の割り込みペンディング設定ビットである。 1: 対応する番号の割り込みをペンディング状態にする 0: 効果なし	0
[11:4]	Reserved	RO	Reserved	0
[3:2]	PENDSET		2#-3# の割り込みペンディング設定ビットである。 1: 対応する番号の割り込みをペンディング状態にする 0: 効果なし	0
[1:0]	Reserved	RO	Reserved	0

6.5.2.16 PFIC Interrupt Pending Setup Register 2 (PFIC_IPSR2)

Offset address: 0x204

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved									PENDSET[38:32]						

Bit	Name	Access	Description	Reset value
[31:7]	Reserved	RO	Reserved	0
[6:0]	PENDSET	WO	32#-38# の割り込みペンディング設定ビットである。 1: 対応する番号の割り込みをペンディング状態にする 0: 効果なし	0

6.5.2.17 PFIC Interrupt Pending Clear Register 1 (PFIC_IPRR1)

Offset address: 0x280

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PENDRST[31:16]															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	PENDRST14	Reserved	PENDRST12	Reserved								PENDRST3	PENDRST2	Reserved	

Bit	Name	Access	Description	Reset value
[31:16]	PENDSET	WO	16#-31# の割り込みペンディングクリア制御ビットである。 1: 対応する番号の割り込みのペンディング状態をクリアする 0: 効果なし	0
15	Reserved	RO	Reserved	0
14	PENDSET	WO	14# の割り込みペンディングクリア制御ビットである。 1: 対応する番号の割り込みのペンディング状態をクリアする 0: 効果なし	0
13	Reserved	RO	Reserved	0
12	PENDSET	WO	12# の割り込みペンディングクリア制御ビットである。 1: 対応する番号の割り込みのペンディング状態をクリアする 0: 効果なし	0
[11:4]	Reserved	RO	Reserved	0
[3:2]	PENDSET	WO	2#-3# の割り込みペンディングクリア制御ビットである。 1: 対応する番号の割り込みのペンディング状態をクリアする 0: 効果なし	0
[1:0]	Reserved	RO	Reserved	0

6.5.2.18 PFIC Interrupt Pending Clear Register 2 (PFIC_IPRR2)

Offset address: 0x284

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									PENDRST[38:32]						

Bit	Name	Access	Description	Reset value
[31:7]	Reserved	RO	Reserved	0
[6:0]	PENDSET	WO	32#-38# の割り込みペンディングクリア制御ビットである。 1: 対応する番号の割り込みのペンディング状態をクリアする 0: 効果なし	0

6.5.2.19 PFIC Interrupt Activation Status Register 1 (PFIC_IACTR1)

Offset address: 0x300

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IACTS [31:16]															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	IACTS14	Reserved	IACTS12	Reserved								IACTS3	IACTS2	Reserved	

Bit	Name	Access	Description	Reset value
[31:16]	IACTS	RO	16#-31# の割り込み実行状態を示すビットである。 1: 対応する番号の割り込みが現在実行中である 0: 対応する番号の割り込みは実行されていない	0
15	Reserved	RO	Reserved	0
14	IACTS	RO	14# の割り込み実行状態を示すビットである。 1: 対応する番号の割り込みが現在実行中である 0: 対応する番号の割り込みは実行されていない	0
13	Reserved	RO	Reserved	0
12	IACTS	RO	12# の割り込み実行状態を示すビットである。 1: 対応する番号の割り込みが現在実行中である 0: 対応する番号の割り込みは実行されていない	0
[11:4]	Reserved	RO	Reserved	0
[3:2]	IACTS	RO	2#-3# の割り込み実行状態を示すビットである。 1: 対応する番号の割り込みが現在実行中である 0: 対応する番号の割り込みは実行されていない	0
[1:0]	Reserved	RO	Reserved	0

6.5.2.20 PFIC Interrupt Activation Status Register 2 (PFIC_IACTR2)

Offset address: 0x304

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									IACTS [38:32]						

Bit	Name	Access	Description	Reset value
[31:7]	Reserved	RO	Reserved	0
[6:0]	IACTS	RO	32#-38# の割り込み実行状態を示すビットである。 1: 対応する番号の割り込みが現在実行中である 0: 対応する番号の割り込みは実行されていない	0

6.5.2.21 PFIC Interrupt Priority Configuration Register (PFIC_IPRIORx) (x=0-63)

Offset address: 0x400-0x4FF

このコントローラは 256 個の割り込み(0～255)をサポートしており、それぞれの割り込みに対して 8 ビットを使用して制御優先度を設定する。

	31 24	23 16	15 8	7 0
IPRIOR63	PRIO_255	PRIO_254	PRIO_253	PRIO_252
…	…	…	…	…
IPRIORx	PRIO_(4x+3)	PRIO_(4x+2)	PRIO_(4x+1)	PRIO_(4x)
…	…	…	…	…
IPRIOR0	PRIO_3	PRIO_2	PRIO_1	PRIO_0

Bit	Name	Access	Description	Reset value
[2047:2040]	IP_255	RW	IP_0 の記述と同一	0
…	…	…	…	…
[31:24]	IP_3	RW	IP_0 の記述と同一	0
[23:16]	IP_2	RW	IP_0 の記述と同一	0
[15:8]	IP_1	RW	IP_0 の記述と同一	0
[7:0]	IP_0	RW	割り込み番号0の優先度設定 [7:6]: 優先度制御ビット ネスト設定がない場合、プリエンプション制御は行われない。 2 レベルのネストが構成されている場合、bit7 がプリエンプト対象となる。 [5:0]: 予約済みであり、常に 0 に固定されている。書き込みは無効である。	0

6.5.2.22 PFIC System Control Register (PFIC_SCTLR)

Offset address: 0xD10

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SYSRESET	Reserved														

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										SETEVENT	SEVONPEND	WFITOWFE	SLEEPDEEP	SLEEPONEXIT	Reserved

Bit	Name	Access	Description	Reset value
31	SYSRESET	WO	システムリセット制御ビットである。 1 の書き込みでリセットが有効となり、0 の書き込みは無効である。書き込み後、自動的に 0 にクリアされる。 PFIC_CFGR レジスタの同名ビットと同一の機能を持つ。	0
[30:6]	Reserved	RO	Reserved	0
5	SETEVENT	WO	WFE(Wait For Event)状態からの復帰に使用するイベントを設定する。	0
4	SEVONPEND	RW	イベントの発生または割り込みのペンディング状態により、WFE(Wait For Event)命令の実行後にシステムを復帰させることができる。 WFE 命令が未実行の場合は、次回の命令実行直後にシステムが復帰する。 1: 有効なイベントおよびすべての割り込み(無効な割り込みも含む)によってシステムを復帰可能 0: 有効なイベントおよび有効な割り込みのみがシステムを復帰可能	0
3	WFITOWFE	RW	WFI(Wait For Interrupt)命令を WFE(Wait For Event)命令として扱う制御ビットである。 1: 以降の WFI 命令を WFE 命令として扱う 0: 効果なし	0
2	SLEEPDEEP	RW	制御システムの低消費電力モードを設定するビットである。 1: DEEPSLEEP モードに入る 0: SLEEP モードに入る	0
1	SLEEPONEXIT	RW	割り込みサービスプログラムの制御を離れた後のシステム状態を示すビットである。 1: システムは低消費電力モードに入る 0: システムはメインプログラムに復帰する	0
0	Reserved	RO	Reserved	0

6.5.3 専用 CSR レジスタ

RISC-Vアーキテクチャでは、動作状態の設定、識別、記録を行うために複数の制御およびステータスレジスタ(CSR)が定義されている。CSRレジスタはコア内部に存在し、専用の12bitアドレス空間を使用する。CH32V003チップは、RISC-V特権アーキテクチャ文書で定義された標準レジスタに加えて、ベンダ定義のレジスタを複数追加しており、これらはcsr命令を使用してアクセスする必要がある。

注:これらのレジスタは「MRW」「MRO」「MRW1」とラベル付けされており、アクセスにはシステムがマシンモードである必要がある。

6.5.3.1 Interrupt System Control Register (INTSYSCR)

CSR address: 0x804

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved														INESTEN	HWSTKEN

Bit	Name	Access	Description	Reset value
[31:2]	Reserved	MRO	Reserved	0
1	INESTEN	MRW	割り込みネスト機能の有効化制御ビットである。 1: 割り込みネスト機能が有効 0: 割り込みネスト機能が無効	0
0	HWSTKEN	MRW	ハードウェアスタック機能の有効化制御ビットである。 1: ハードウェアスタック機能が有効 0: ハードウェアスタック機能が無効	0

6.5.3.2 Exception Entry Base Address Register (MTVEC)

CSR address: 0x305

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BASEADDR[31:16]															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BASEADDR[15:2]														MODE1	MODE0

Bit	Name	Access	Description	Reset value
[31:2]	BASEADDR [31:2]	MRW	割り込みベクタテーブルのベースアドレス	0
1	MODE1	MRW	割り込みベクタテーブルの識別方式を設定するビットである。 1: 絶対アドレスによって識別する。全アドレス範囲をサポートするが、ジャンプ命令が必要である 0: ジャンプ命令によって識別する。アドレス範囲は制限されるが、非ジャンプ命令もサポートする	0
0	MODE0	MRW	割り込みまたは例外のエントリアドレス方式を選択するビットである。 1: 割り込み番号 × 4 に基づくアドレスオフセット方式を使用する 0: 統一されたエントリアドレス方式を使用する	0

6.5.4 STK(SysTick)レジスタ

Table 6-5 STK(SysTick)関連レジスター覧

Name	Access address	Description	Reset value
R32_STK_CTLR	0xE000F000	System count control register	0x00000000
R32_STK_SR	0xE000F004	System count status register	0x00000000
R32_STK_CNTL	0xE000F008	System counter register	0x00000000
R32_STK_CMPLR	0xE000F010	Counting comparison register	0x00000000

6.5.4.1 System Count Control Register (STK_CTLR)

Offset address: 0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SWIE	Reserved														

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												STRE	STCLK	STIE	STE

Bit	Name	Access	Description	Reset value
31	SWIE	RW	ソフトウェア割り込みトリガイネーブル(SWI) 1:ソフトウェア割り込みをトリガする。 0:トリガを無効にする。 ソフトウェア割り込みに入った後は、ソフトウェアによる0クリアが必要であり、そうしない場合は継続的にトリガされる。	0
[30:4]	Reserved	RO	Reserved	0
3	STRE	RW	オートリロードカウントイネーブルビット 1:比較値までカウントアップした後、0から再カウントする。 0:比較値までカウントアップした後もカウントアップを継続し、0までカウントダウンしてから最大値から再びカウントダウンを開始する。 訳注: 0: Count up to the comparison value and continue counting up, count down to 0 and start counting down again from the maximum value. は誤記ではないか。CNTとCMPが一致してもカウントアップを継続し、ラップアラウンドして再度 0からカウントアップするという意味かもしれない。	0
2	STCLK	RW	カウンタクロックソース選択ビット 1:時間基準としてHCLKを使用する。 0:時間基準としてHCLK/8を使用する。	0
1	STIE	RW	カウンタ割り込みの有効化制御ビット 1: カウンタ割り込みを有効にする 0: カウンタ割り込みを無効にする	0
0	STE	RW	システムカウンタ有効化制御ビット 1: システムカウンタ STK を起動する 0: システムカウンタ STK を停止し、カウント動作を停止する	0

6.5.4.2 System Count Status Register (STK_SR)

Offset address: 0x04

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved															CNTIF

Bit	Name	Access	Description	Reset value
[31:1]	Reserved	RO	Reserved	0
0	CNTIF	RW0	カウント値比較フラグである。0 を書き込むとクリアされ、1 の書き込みは効果を持たない。 1: カウントアップが比較値に到達した 0: 比較値に到達していない	0

6.5.4.3 System Counter Register (STK_CNTL)

Offset address: 0x08

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNT[31:16]															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
CNT[15:0]															

Bit	Name	Access	Description	Reset value
[31:0]	CNT[31:0]	RW	32bitのカウントレジスタ	0

6.5.4.4 Counting Comparison Register (STK_CMPLR)

Offset address: 0x10

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CMP[31:16]															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
CMP[15:0]															

Bit	Name	Access	Description	Reset value
[31:0]	CMP[31:0]	RW	32bitの比較レジスタ	0

Chapter 7 GPIOおよびオルタネート機能（GPIO/AFIO）

GPIOポートは、複数の入力または出力モードに設定可能である。内蔵のプルアップ抵抗またはプルダウン抵抗は無効化することができ、プッシュプルまたはオープンドレイン機能に設定することも可能である。GPIOポートは他の機能に多重化して使用することもできる。

7.1 主な機能

各ポートのピンは、以下の複数のモードのいずれかに設定可能である。

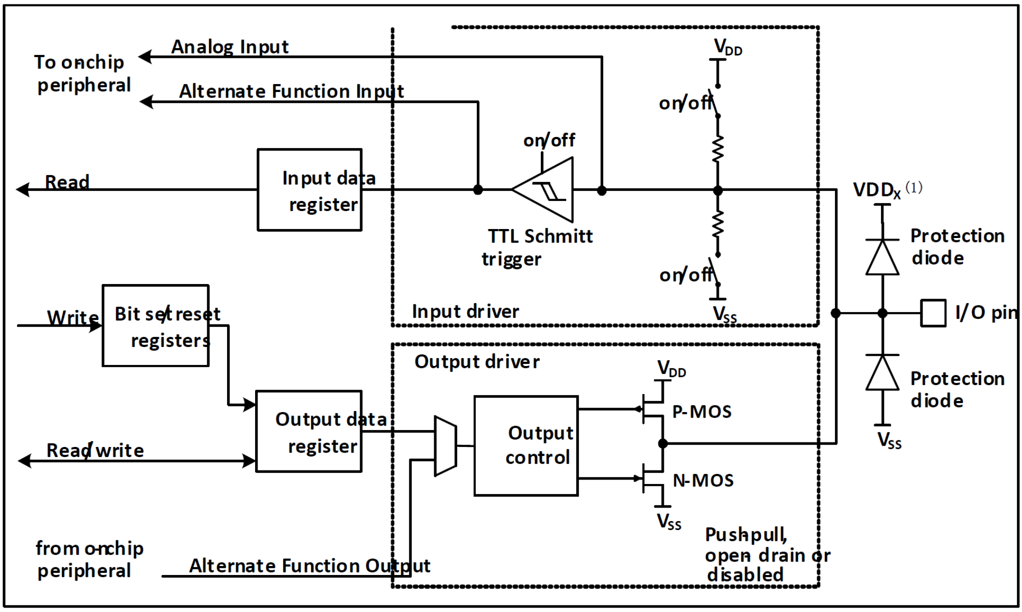
- フローティング入力
- プルアップ入力
- プルダウン入力
- アナログ入力
- オープンドレイン出力
- プッシュプル出力
- 入出力機能の多重化

多くのピンはマルチプレクス機能を備えており、他の多くのペリフェラルがそれらのピンに対して入出力チャネルをマッピングする。これらのマルチプレクスピンの具体的な使用方法については、各ペリフェラルの項目を参照すること。ピンがマルチプレクス化されているか、リマップ可能かについての内容は本章で説明されている。

7.2 機能の説明

7.2.1 概要

図 7-1 GPIOモジュール基本構造ブロック図



注記:(1) GPIOが通常のIOである場合、VDDxはVDDである。GPIOがFTIOである場合、VDDxはVDD_FTである。

図 7-1 に示す IO ポート構造のとおり、各ピンにはチップ内部に 2 個の保護ダイオードが搭載されている。IO ポートは内部的に入力ドライバモジュールと出力ドライバモジュールに分割される。

入力ドライバには弱いプルアップ抵抗およびプルダウン抵抗を選択可能であり、ADなどのアナログ入力ペリフェラルに接続可能である。入力先がデジタルペリフェラルである場合、TTL シュミットトリガを経由し、GPIO 入力レジスタまたは他のマルチプレクス化されたペリフェラルに接続される。

出力ドライバは 1 組の MOS トランジスタを備えており、上下の MOS トランジスタの有効／無効を設定することで、IO ポートをオープンドレイン出力またはプッシュプル出力として構成可能である。出力ドライバは内部的に GPIO または他のマルチプレクス化されたペリフェラルによって出力制御されるように構成することも可能である。

7.2.2 GPIO 初期化機能

リセット直後、GPIO ポートは初期状態で動作する。このとき、ほとんどの IO ポートはフローティング入力状態で動作しているが、HSE のようなペリフェラル関連ピンはペリフェラルのマルチプレクス機能で動作している。具体的な初期化機能については、ピン詳細に関する章を参照すること。

7.2.3 外部割り込み

すべての GPIO ポートは外部割り込み入力チャネルとして構成可能である。ただし、1 つの外部割り込み入力チャネルには 1 つの GPIO ピンにのみマッピング可能であり、外部割り込みチャネルの番号は GPIO ポートのビット番号と一致していなければならない。たとえば、PA1(または PC1、PD1 など)は EXTI1 にのみマッピング可能であり、EXTI1 は PA1、PC1、PD1 のいずれか 1 つのみを受け入れる。両者のマッピングは 1 対 1 である。

7.2.4 マルチプレクス機能

マルチプレクス機能の使用に際しては、以下の点に注意すること。

- 入力方向でマルチプレクス機能を使用するには、ポートをマルチプレクス入力モードに設定する必要があり、プルダウン設定は実際のニーズに応じて構成可能である。
- 出力方向でマルチプレクス機能を使用するには、ポートをマルチプレクス出力モードに設定する必要があり、プッシュプルまたはオープンドレインは実際の状況に応じて設定可能である。
- 双方向マルチプレクスの場合、ポートはマルチプレクス出力モードに設定され、ドライバはフローティング入力モードに構成される。

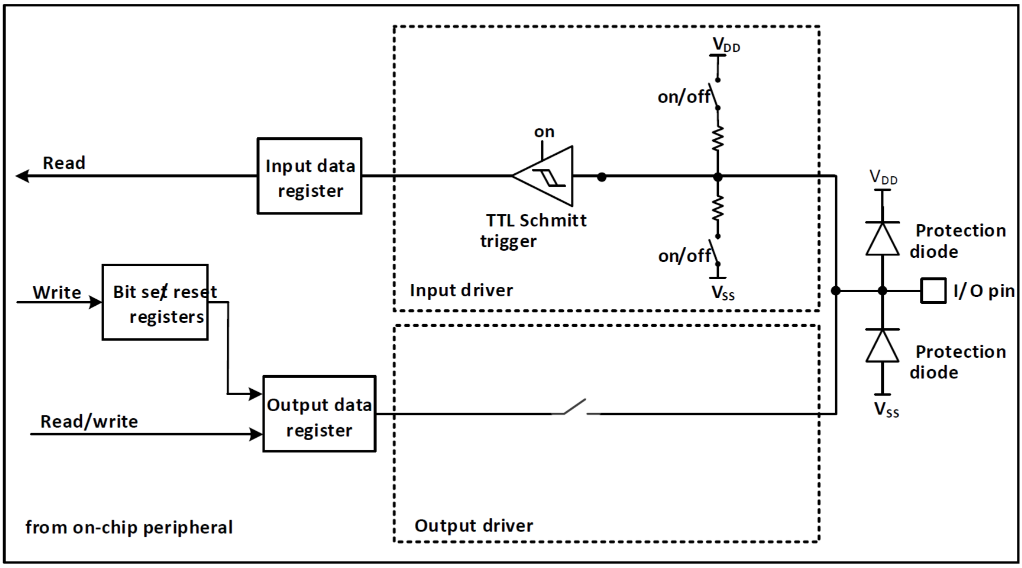
同一のIOポートには複数の周辺機能がマルチプレクスされている場合があるため、各周辺機能の使用領域を最大化するために、周辺機能のマルチプレクスピンは、デフォルトのマルチプレクスピンに加えて他のピンにリマップ可能であり、ピンの競合を回避できる。

7.2.5 ロック機構

ロック機構は IO ポートの設定を固定する。所定の書き込みシーケンスを実行すると、選択された IO ピンの設定がロックされ、次回リセットまで変更できなくなる。

7.2.6 入力構成

図 7-2 GPIO モジュールの入力構成ブロック図。

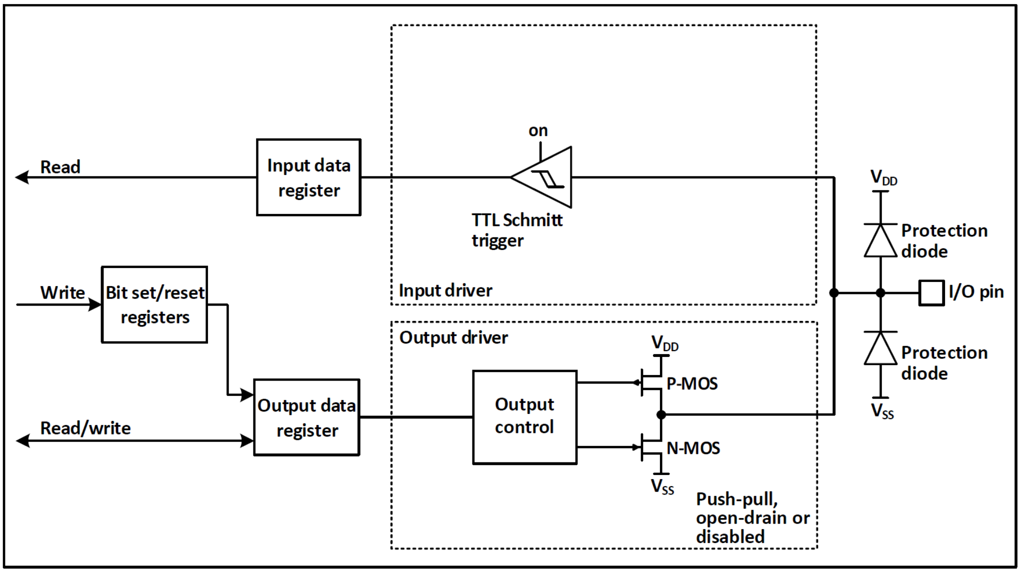


IO ポートが入力モードに設定されている場合、出力ドライバは切り離される。入力側のプルアップおよびプルダウンは選択可能であり、マルチプレクス機能やアナログ入力は接続されない。

各 IO ポートのデータは、HB クロックごとに入力データレジスタへサンプリングされる。対応するピンのレベル状態は、入力データレジスタの該当ビットを読み取ることで取得される。

7.2.7 出力構成

図 7-3 GPIO モジュールの出力構成ブロック図



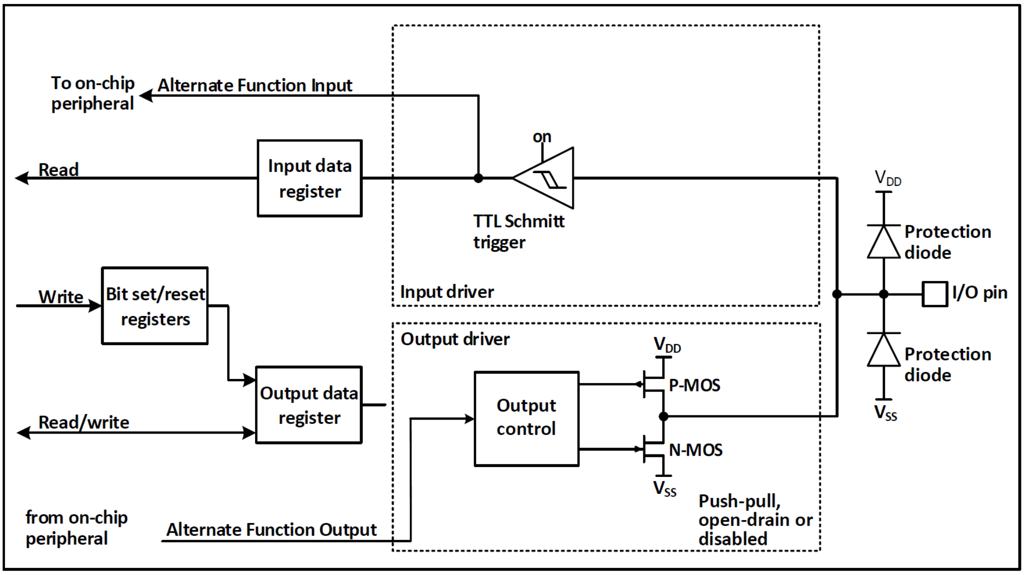
IO ポートが出力モードに設定されている場合、出力ドライバ内の MOS トランジスタペアは、必要に応じてプッシュプルまたはオープンドレインモードに構成可能である。マルチプレクス機能は使用されない。

入力ドライバ側のプルアップ抵抗およびプルダウン抵抗は無効化され、TTL シュミットトリガが有効化される。IO ピンに現れるレベルは、HB クロックごとに入力データレジスタへサンプリングされるため、入力データレジスタを読み取ることで IO の状態を取得できる。

プッシュプル出力モードでは、出力データレジスタへのアクセスにより、最後に書き込まれた値を取得できる。

7.2.8 マルチプレクス機能の構成

図 7-4 他のペリフェラルによってマルチプレクスされた場合の GPIO モジュール構造

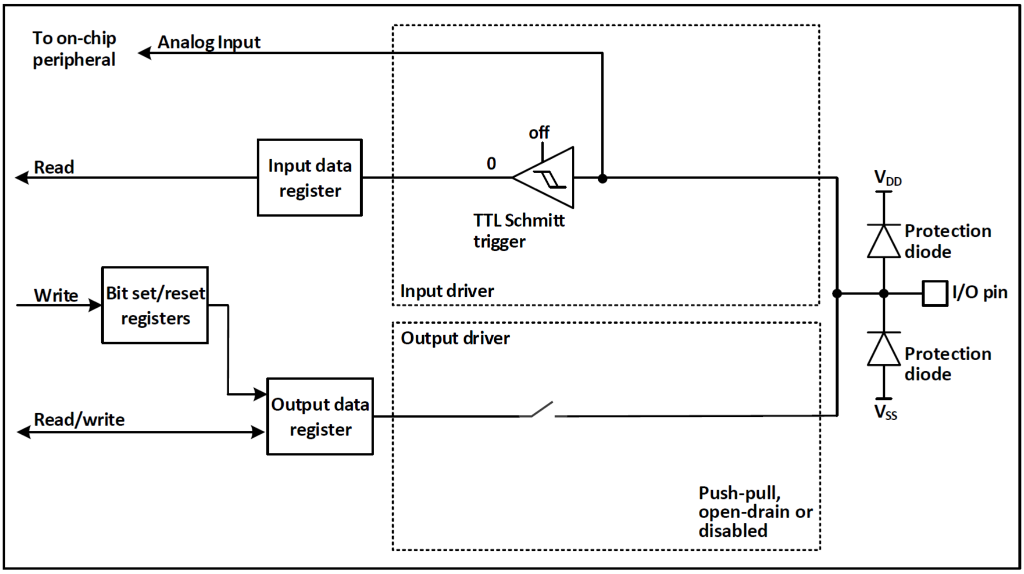


マルチプレクス機能が有効化されると、出力ドライバが有効となり、必要に応じてオープンドレインまたはプッシュプルモードに構成可能である。シュミットトリガがオンになり、マルチプレクス機能の入出力ラインが接続される。ただし、出力データレジスタは切り離される。

IO ピンに現れるレベルは、HB クロックごとに入力データレジスタへサンプリングされる。オープンドレインモードでは、入力データレジスタを読み取ることで IO ポートの現在の状態を取得できる。プッシュプルモードでは、出力データレジスタを読み取ることで最後に書き込まれた値を取得できる。

7.2.9 アナログ入力構成

図 7-5 GPIO モジュールをアナログ入力として使用する場合の構成構造



アナログ入力が有効化されると、出力バッファは切り離される。入力ドライバ内のシュミットトリガ入力は無効化され、IO ポートでの不要な電力消費を防止する。プルアップ抵抗およびプルダウン抵抗も無効化され、入力データレジスタを読み取った場合の値は常に 0 となる。

7.2.10 ペリフェラル用 GPIO 設定

以下の表に、各周辺機能ピンに対応する推奨GPIOポート設定を示す。

表 7-1 高度制御タイマ(TIM1)

TIM1 pins	Configuration	GPIO configuration
TIM1_CHx	Input capture channel x	Floating input
	Output comparison channel x	Push-pull multiplexed output
TIM1_CHxN	Complementary output channels x	Push-pull multiplexed output
TIM1_BKIN	Brake input	Floating input
TIM1_ETR	Externally triggered clock input	Floating input

表 7-2 汎用タイマ(TIM2)

TIM2 pins	Configuration	GPIO configuration
TIM2_CHx	Input capture channel x	Floating input
	Output comparison channel x	Push-pull multiplexed output
TIM2_ETR	Externally triggered clock input	Floating input

表 7-3 汎用同期／非同期シリアルトランシーバ(USART)

USART pins	Configuration	GPIO configuration
USARTx_TX	Full-duplex mode	Push-pull multiplexed outputs
	Half-duplex synchronous mode	Open-drain multiplexed outputs
USARTx_RX	Full-duplex mode	Floating input or pull-up input
	Half-duplex synchronous mode	Not used
USARTx_CK	Synchronous mode	Push-pull multiplexed output
USARTx_RTS	Hardware flow control	Push-pull multiplexed output
USARTx_CTS	Hardware flow control	Floating input or pull-up input

表 7-4 シリアル・ペリフェラル・インタフェース(SPI)モジュール

USART pins	Configuration	GPIO configuration
SPIx_SCK	Master mode	Push-pull multiplexed output
	Slave mode	Floating input
SPIx_MOSI	Full-duplex Master mode	Push-pull multiplexed output
	Full-duplex Slave mode	Floating input or pull-up input
	Simple bi-directional data line/Master mode	Push-pull multiplexed output
	Simple bi-directional data line/Slave mode	Not used
SPIx_MISO	Full-duplex Master mode	Floating input or pull-up input
	Full-duplex Slave mode	Push-pull multiplexed output
	Simple bi-directional data line/Master mode	Not used
	Simple bi-directional data line/Slave mode	Push-pull multiplexed output
SPIx_NSS	Hardware Master or Slave mode	Float, pull-up or pull-down input
	Hardware Master mode/NSS output enable mode	Push-pull multiplexed output
	Software mode	Not used

表 7-5 内部統合バス(I2C)モジュール

I2C pins	Configuration	GPIO configuration
I2C_SCL	I2C clock	Open-drain multiplexed output
I2C_SDA	I2C data	Open-drain multiplexed output

表 7-6 アナログ-デジタルコンバータ(ADC)

ADC pin	GPIO configuration
ADC	Analog input

表 7-7 その他の I/O 機能設定

Pins	Configuration	GPIO configuration
MCO	Clock output	Push-pull multiplexed output
EXTI	External interrupt input	Float, pull-up or pull-down input
OPA	Operational Amplifier Input	Floating input

7.2.11 代替機能リマップによる GPIO 構成

7.2.11.1 タイマの代替機能リマッピング

表 7-8 TIM1 の代替機能リマッピング

Alternate function	TIM1_RM=00 Default mapping	TIM1_RM=01 Partial mapping	TIM1_RM=10 Partial mapping	TIM1_RM=11 Full mapping
TIM1_ETR	PC5	PC5	PD4	PC2
TIM1_CH1	PD2	PC6	PD2	PC4
TIM1_CH2	PA1	PC7	PA1	PC7
TIM1_CH3	PC3	PC0	PC3	PC5
TIM1_CH4	PC4	PD3	PC4	PD4
TIM1_BKIN	PC2	PC1	PC2	PC1
TIM1_CH1N	PD0	PC3	PD0	PC3
TIM1_CH2N	PA2	PC4	PA2	PD2
TIM1_CH3N	PD1	PD1	PD1	PC6

注:表中の TIM1_CH1 のマッピング機能に関して、条件が `TIM1_1_RM=0` の場合は通常のマッピングが適用される。`TIM1_1_RM=1` の場合、`TIM1_CH1` は LSI(低速内部クロック)にマップされる。

表 7-9 TIM2 の代替機能リマッピング

Alternate function	TIM2_RM=00 Default mapping	TIM2_RM=01 Partial mapping	TIM2_RM=10 Partial mapping	TIM2_RM=11 Full mapping
TIM2_ETR	PD4	PC5	PC1	PC1
TIM2_CH1	PD4	PC5	PC1	PC1
TIM2_CH2	PD3	PC2	PD3	PC7
TIM2_CH3	PC0	PD2	PC0	PD6
TIM2_CH4	PD7	PC1	PD7	PD5

7.2.11.2 USART の代替機能リマッピング

表 7-10 USART1 の代替機能リマッピング

Alternate function	USART1_RM=00 Default mapping	USART1_RM=01 Partial mapping	USART1_RM=10 Partial mapping	USART1_RM=11 Full mapping
USART1_CK	PD4	PD7	PD7	PC5
USART1_TX	PD5	PD0	PD6	PC0
USART1_RX	PD6	PD1	PD5	PC1
USART1_CTS	PD3	PC3	PC6	PC6
USART1_RTS	PC2	PC2	PC7	PC7

7.2.11.3 SPI の代替機能リマッピング

表 7-11 SPI の代替機能リマッピング

Alternate function	SPI1_RM=0 Default mapping	SPI1_RM=1 Remapping
SPI1_NSS	PC1	PC0
SPI1_SCK	PC5	PC5
SPI1_MISO	PC7	PC7
SPI1_MOSI	PC6	PC6

7.2.11.4 I2C代替機能リマッピング

表7-12:I2C代替機能リマッピング

Alternate function	I2C1_RM=00 Default mapping	I2C1_RM=01 Remapping	I2C1_RM=1x Remapping
I2C1_SCL	PC2	PD1	PC5
I2C1_SDA	PC1	PD0	PC6

7.2.11.5 ADC の代替機能リマッピング

表 7-13 ADC 外部トリガ注入変換の代替機能リマッピング

Alternate function	ADC_ETRGINJ_RM=0 Default mapping	ADC_ETRGINJ_RM=1 Remapping
ADC external trigger injection conversion	ADC externally triggered injection conversion connected to PD1	ADC externally triggered injection conversion connected to PA2

表 7-14 ADC 外部トリガ規則変換の代替機能リマッピング

Alternate function	ADC_ETRGREG_RM=0 Default mapping	ADC_ETRGREG_RM=1 Remapping
ADC external trigger rule conversion	ADC externally triggered rule conversion connected to PD3	ADC externally triggered rule conversion connected to PC2

7.3 レジスタ詳細

7.3.1 GPIO レジスタ詳細

特に指定がない限り、GPIO のレジスタはワード単位（32 ビット）で操作する必要がある。

表 7-15 GPIO 関連レジスター覧

Name	Access address	Description	Reset value
R32_GPIOA_CFGLR	0x40010800	PA port configuration register low	0x44444444
R32_GPIOC_CFGLR	0x40011100	PC port configuration register low	0x44444444
R32_GPIOD_CFGLR	0x40011400	PD port configuration register low	0x44444444
R32_GPIOA_INDR	0x40010808	PA port input data register	0x000000XX
R32_GPIOC_INDR	0x40011008	PC port input data register	0x000000XX
R32_GPIOD_INDR	0x40011408	PD port input data register	0x000000XX
R32_GPIOA_OUTDR	0x4001080C	PA port output data register	0x00000000
R32_GPIOC_OUTDR	0x4001100C	PC port output data register	0x00000000
R32_GPIOD_OUTDR	0x4001140C	PD port output data register	0x00000000
R32_GPIOA_BSHR	0x40010810	PA port set/reset register	0x00000000
R32_GPIOC_BSHR	0x40011010	PC port set/reset register	0x00000000
R32_GPIOD_BSHR	0x40011410	PD port set/reset register	0x00000000
R32_GPIOA_BCR	0x40010814	PA port reset register	0x00000000
R32_GPIOC_BCR	0x40011014	PC port reset register	0x00000000
R32_GPIOD_BCR	0x40011414	PD port reset register	0x00000000
R32_GPIOA_LCKR	0x40010818	PA port configuration lock register	0x00000000
R32_GPIOC_LCKR	0x40011018	PC port configuration lock register	0x00000000
R32_GPIOD_LCKR	0x40011418	PD port configuration lock register	0x00000000

7.3.1.1 Port Configuration Register Low (GPIOx_CFGLR) (x=A/C/D)

Offset address: 0x00

31 30	29 28	27 26	25 24	23 22	21 20	19 18	17 16
CNF7[1:0]	MODE7[1:0]	CNF6[1:0]	MODE6[1:0]	CNF5[1:0]	MODE5[1:0]	CNF4[1:0]	MODE4[1:0]
15 14	**13 12**	**11 10**	**9 8**	**7 6**	**5 4**	**3 2**	**1 0**
CNF3[1:0]	MODE3[1:0]	CNF2[1:0]	MODE2[1:0]	CNF1[1:0]	MODE1[1:0]	CNF0[1:0]	MODE0[1:0]

Bit	Name	Access	Description	Reset value
[31:30] [27:26] [23:22] [19:18] [15:14] [11:10] [7:6] [3:2]	CNFy [1:0]	RW	(CNF0～7) の各ビットはポート x の構成ビットであり、対応するポートの動作モードを設定する。 入力モード(MODE=00b)の場合: 00:アナログ入力モード 01:フローティング入力モード 10:プルアップ／プルダウン付き入力モード 11:予約済み 出力モード(MODE>00b)の場合: 00:汎用プッシュプル出力モード 01:汎用オープンドレイン出力モード 10:マルチプレックス機能プッシュプル出力モード 11:マルチプレックス機能オープンドレイン出力モード	01b
[29:28] [25:24] [21:20] [17:16] [13:12] [9:8] [5:4] [1:0]	MODEy [1:0]	RW	(MODE0～7)、ポートxのモード選択。これらのビットによって対応するポートを設定する。 00:入力モード 01:出力モード(最大速度10MHz) 10:出力モード(最大速度2MHz) 11:出力モード(最大速度30MHz)	00b

7.3.1.2 Port Input Register (GPIOx_INDR) (x=A/C/D)

Offset address: 0x08

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved								IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0

Bit	Name	Access	Description	Reset value
[31:8]	Reserved	RO	Reserved	0
[7:0]	IDRy	RO	(y=0～7)、ポート入力データ。これらのビットはリードオンリーであり、16ビット形式でのみ読み出すことができる。 読み取られる値は、対応するビットの High／Low 状態を示す。	X

7.3.1.3 Port Output Register (GPIOx_OUTDR) (x=A/C/D)

Offset address: 0x0C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved								ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0

Bit	Name	Access	Description	Reset value
[31:8]	Reserved	RO	Reserved	0
[7:0]	ODRy	RW	GPIOが出力モードの場合： (y=0～7)、ポートから出力されるデータ。これらのデータは16ビット形式でのみ操作可能であり、I/Oポートはこれらのレジスタの値を外部に出力する。 プルアップ／プルダウン付き入力モードの場合： 1:プルアップ入力 0:プルダウン入力	0

7.3.1.4 Port Reset/Set Register (GPIOx_BSHR) (x=A/C/D)

Offset address: 0x10

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved								BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0

Bit	Name	Access	Description	Reset value
[31:24]	Reserved	RO	Reserved	0
[23:16]	BRy	WO	(y=0～7)、1を書き込むと対応する位置の OUTDR ビットがクリアされる。 これらのビットに 0 を書き込んでも効果はない。 これらのビットは 16 ビット形式でのみアクセス可能。 BR ビットと BS ビットの両方が設定された場合、BS ビットが有効となる。	0
[15:8]	Reserved	RO	Reserved	0
[7:0]	BSy	WO	(y=0～7)、1を書き込むと対応する位置の OUTDR ビットをセットする。0を書き込んでも効果はない。 これらのビットは 16 ビット形式でのみアクセス可能。 BR ビットと BS ビットの両方が設定された場合、BS ビットが優先されて有効となる。	0

7.3.1.5 Port Reset Register (GPIOx_BCR) (x=A/C/D)

Offset address: 0x14

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0

Bit	Name	Access	Description	Reset value
[31:8]	Reserved	RO	Reserved	0
[7:0]	BRy	WO	(y=0～7)、1を書き込むと対応する位置の OUTDR ビットがクリアされる。0を書き込んでも効果はない。 これらのビットは 16 ビット形式でのみアクセス可能。	0

7.3.1.6 Port Configuration Lock Register (GPIOx_LCKR) (x=A/C/D)

Offset address: 0x18

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															LCKK

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								LCK7	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0

Bit	Name	Access	Description	Reset value
[31:17]	Reserved	RO	Reserved	0
16	LCKK	RW	lock key は、特定の書き込みシーケンスによってロックを有効化でき、いつでも読み出し可能である。 読み出し値が 0 の場合はロックが未実施、1 の場合はロックが有効であることを示す。 lock key の書き込みシーケンスは以下のとおり: write 1 - write 0 - write 1 - read 0 - read 1 ※最後の read 1 は省略可能だが、ロックが有効になったことを確認するために使用できる。 書き込みシーケンス中に誤りがあるとロックは有効化されず、LCK[7:0]の値は変更できない。 ロックが有効化された後は、次回のリセットまでポート構成の変更はできない。	0
[15:8]	Reserved	RO	Reserved	0
[7:0]	LCKy	RW	(y=0-7)、これらのビットが 1 の場合、対応するポートの構成がロックされていることを示す。 これらのビットは、LCKK がアンロックされる前のみ変更可能である。 ロックされた構成とは、構成レジスタ GPIOx_CFGLR の内容を指す。	0

Note: 対応するポートビットに対して LOCK シーケンスが実行されると、そのポートビットの構成は次回のシステムリセットまで変更できない。

7.3.2 AFIO レジスタ詳細

特に指定がない限り、AFIO レジスタはワード単位(32 ビット)で操作する必要がある。

表 7-16 AFIO 関連レジスター覧

Name	Access address	Description	Reset value
R32_AFIO_PCFR1	0x40010004	Remap Register 1	0x00000000
R32_AFIO_EXTICR	0x40010008	External interrupt configuration register 1	0x00000000

7.3.2.1 Remap Register 1 (AFIO_PCFR1)

Offset address: 0x04

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved					SWCFG[2:0]			TIM1_1_RM	I2C1_RM1	USART1_RM1	Reserved		ADC_ETRGREG_RM	ADC_ETRGINJ_RM	Reserved
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
PA1PA2_RM	Reserved					TIM2_RM[1:0]		TIM1_RM[1:0]		Reserved			USART1_RM	I2C1_RM	SPI1_RM

Bit	Name	Access	Description	Reset value
[31:27]	Reserved	RO	Reserved	0
[26:24]	SWCFG[2:0]	RW	これらのビットは、SW 機能およびトレース機能のために I/O ポートを構成するために使用される。 SWD(SDI)はコアへアクセスするためのデバッグインタフェースであり、システムリセット後は常に SWD ポートとして使用される。 - 0xx:SWD(SDI)有効 - 100:SWD(SDI)無効(GPIO として動作) - その他:無効な設定	0
23	TIM1_IREMAP	RW	Timer 1 のチャネル 1 の制御選択: 1: 内部 LSI クロックを選択 0: 外部ピンを選択	0
22	I2C1REMAP1	RW	I2C1 リマッピング上位ビット(AFIO_PCFR1 レジスタの bit1 I2C1_RM[22,1]と併用) - 00: デフォルトマッピング(SCL/PC2、SDA/PC1) - 01: リマッピング(SCL/PD1、SDA/PD0) - 1X: リマッピング(SCL/PC5、SDA/PC6)	0
21	USART1_RM1	RW	USART1 マッピング構成(上位ビット)。AFIO_PCFR1 レジスタの bit2 USART1RM[21,2]と併用して使用される。 - 00: デフォルトマッピング(CK/PD4、TX/PD5、RX/PD6、CTS/PD3、RTS/PC2) - 01: リマッピング(CK/PD7、TX/PD0、RX/PD1、CTS/PC3、RTS/PC2、SW_RX/PD0) - 10: リマッピング(CK/PD7、TX/PD6、RX/PD5、CTS/PC6、RTS/PC7、SW_RX/PD6) - 11: リマッピング(CK/PC5、TX/PC0、RX/PC1、CTS/PC6、RTS/PC7、SW_RX/PC0)	0
[20:19]	Reserved	RO	Reserved	0
18	ADC_ETRGREG_RM	RW	ADC 外部トリガ規則変換のリマップビット: - 1: ADC 外部トリガ規則変換が PC2 に接続される - 0: ADC 外部トリガ規則変換が PD3 に接続される	0
17	ADC_ETRGINJ_RM	RW	ADC 外部トリガ規則変換のリマップビット: - 1: ADC 外部トリガ規則変換が PC2 に接続される - 0: ADC 外部トリガ規則変換が PD3 に接続される	0

16	Reserved	RO	Reserved	0
15	PA1PA2_RM	RW	PA1 および PA2 のリマッピングビット。このビットはユーザによって読み書き可能である。 PA1 および PA2 の適切な機能を制御する(外部クリスタルピンに接続されている場合は 1 に設定)。 - 1: ピンは機能を持たない - 0: ピンは GPIO およびマルチプレックス機能として使用される	0
[14:10]	Reserved	RO	Reserved	0
[9:8]	TIM2_RM [1:0]	RW	Timer 2 のリマップビット。これらのビットはユーザによって読み書き可能であり、Timer 2 のチャネル 1～4 および外部トリガ(ETR)の GPIO ポート上でのマッピングを制御する。 - 00: デフォルトマッピング(CH1/ETR/PD4、CH2/PD3、CH3/PC0、CH4/PD7) - 01: パーシャルマッピング(CH1/ETR/PC5、CH2/PC2、CH3/PD2、CH4/PC1) - 10: パーシャルマッピング(CH1/ETR/PC1、CH2/PD3、CH3/PC0、CH4/PD7) - 11: コンプリートマッピング(CH1/ETR/PC1、CH2/PC7、CH3/PD6、CH4/PD5)	0
[7:6]	TIM1_RM [1:0]	RW	Timer 1 のリマップビット。これらのビットはユーザによって読み書き可能であり、Timer 1 のチャネル 1～4、1N～3N、外部トリガ(ETR)、ブレーキ入力(BKIN)の GPIO ポート上でのマッピングを制御する。 - 00: デフォルトマッピング(ETR/PC5、CH1/PD2、CH2/PA1、CH3/PC3、CH4/PC4、BKIN/PC2、CH1N/PD0、CH2N/PA2、CH3N/PD1) - 01: パーシャルマッピング(ETR/PC5、CH1/PC6、CH2/PC7、CH3/PC0、CH4/PD3、BKIN/PC1、CH1N/PC3、CH2N/PC4、CH3N/PD1) - 10: パーシャルマッピング(ETR/PD4、CH1/PD2、CH2/PA1、CH3/PC3、CH4/PC4、BKIN/PC2、CH1N/PD0、CH2N/PA2、CH3N/PD1) - 11: コンプリートマッピング(ETR/PC2、CH1/PC4、CH2/PC7、CH3/PC5、CH4/PD4、BKIN/PC1、CH1N/PC3、CH2N/PD2、CH3N/PC6)	0
[5:3]	Reserved	RO	Reserved	0
2	USART1_RM	RW	USART1 マッピング構成(下位ビット)。AFIO_PCFR1 レジスタの bit21 USART1REMAP1[21,2]と併用して使用される。 - 00: デフォルトマッピング(CK/PD4、TX/PD5、RX/PD6、CTS/PD3、RTS/PC2) - 01: リマッピング(CK/PD7、TX/PD0、RX/PD1、CTS/PC3、RTS/PC2、SW_RX/PD0) - 10: リマッピング(CK/PD7、TX/PD6、RX/PD5、CTS/PC6、RTS/PC7、SW_RX/PD6) - 11: リマッピング(CK/PC5、TX/PC0、RX/PC1、CTS/PC6、RTS/PC7、SW_RX/PC0)	0
1	I2C1_RM	RW	I2C1 リマッピング下位ビット(AFIO_PCFR1 レジスタの bit22 I2C1_RM1[22,1]と併用) - 00: デフォルトマッピング(SCL/PC2、SDA/PC1) - 01: リマッピング(SCL/PD1、SDA/PD0) - 1X: リマッピング(SCL/PC5、SDA/PC6)	0
0	SPI1_RM	RW	SPI1 のリマッピング。このビットはユーザによって読み書き可能であり、SPI1 の NSS、SCK、MISO、MOSI のマルチプレックス機能を GPIO ポートにマッピングする。 - 0: デフォルトマッピング(NSS/PC1、CK/PC5、MISO/PC7、MOSI/PC6) - 1: リマッピング(NSS/PC0、CK/PC5、MISO/PC7、MOSI/PC6)	0

7.3.2.2 External Interrupt Configuration Register 1 (AFIO_EXTICR)

Offset address: 0x08

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
EXTI7[1:0]		EXTI6[1:0]		EXTI5[1:0]		EXTI4[1:0]		EXTI3[1:0]		EXTI2[1:0]		EXTI1[1:0]		EXTI0[1:0]	

Bit	Name	Access	Description	Reset value
[31:16]	Reserved	RO	Reserved	0
[15:14] [13:12] [11:10] [9:8] [7:6] [5:4] [3:2] [1:0]	EXTIx[1:0]	RW	外部割り込み入力ピン構成ビット(x = 0~7) このビットは、外部割り込みピンがどのポートピンにマッピングされるかを決定するために使用される。 - 00: PA ポートの x 番目のピン - 10: PC ポートの x 番目のピン - 11: PD ポートの x 番目のピン	0

Chapter 8 Direct Memory Access Control (DMA)

DMA(Direct Memory Access)コントローラは、CPU を介さずにペリフェラルとメモリ間、またはメモリ同士の高速データ転送を提供する。DMA によりデータを迅速に移動でき、CPU リソースを他の処理に割り当てることが可能となる。

DMA コントローラの各チャネルは、1 つ以上のペリフェラルからのメモリアクセス要求を管理するために専用化されている。また、チャネル間の優先度を調整するアービタも備える。

8.1 主な機能

- 複数の独立して構成可能なチャネル
- 各チャネルは専用のハードウェア DMA 要求に直接接続され、ソフトウェアトリガにも対応
- ループ対応のバッファ管理
- 複数チャネル間の要求優先度はソフトウェアで設定可能(very high、high、medium、low)。優先度が同一の場合はチャネル番号が小さい方が高優先
- ペリフェラル→メモリ、メモリ→ペリフェラル、メモリ→メモリの転送に対応
- フラッシュメモリ、SRAM、ペリフェラル SRAM、HB ペリフェラルをアクセス元/先として使用可能
- 転送バイト数は最大 65535 バイトまでプログラム可能

8.2 機能説明

8.2.1 DMA チャネル処理

1) アービトレーション優先度

複数の独立したチャネルによって生成された DMA 要求は、論理 OR 構造を介して DMA コントローラに送られる。同時に応答されるのは 1 チャネルのみである。

モジュール内のアービタは、チャネル要求の優先度に基づいて、開始すべきペリフェラル/メモリアクセスを選択する。

ソフトウェアによって DMA_CFGRx レジスタの PL[1:0]ビットを設定することで、各チャネルの優先度を個別に設定できる。優先度は「highest」「high」「medium」「low」の 4 段階。

複数チャネル間でソフトウェア設定レベルが同一の場合、チャネル番号が小さい方が高い優先度を持つ。

2) DMA 構成

DMA コントローラが要求信号を受信すると、要求されたペリフェラルまたはメモリにアクセスし、ペリフェラル／メモリとメモリ間のデータ転送を確立する。
転送は以下の 3 つの段階で実行される:

1. Peripheral Data Register または Current Peripheral/Memory Address Register によって示されるメモリアドレスからデータをフェッチする。最初の転送の開始アドレスは、DMA_PADDRx または DMA_MADDRx レジスタで指定されたペリフェラルベースアドレスまたはメモリアドレスである。
2. Peripheral Data Register または Current Peripheral/Memory Address Register によって示されるメモリアドレスへデータを格納する。最初の転送の開始アドレスは、DMA_PADDRx または DMA_MADDRx レジスタで指定されたペリフェラルベースアドレスまたはメモリアドレスである。
3. DMA_CNTRx レジスタの値をデクリメントする。この値は、現在未完了の転送操作数を示す。

各チャネルは、以下の 3 種類の DMA データ転送方式をサポートする:

- ペリフェラル → メモリ（MEM2MEM=0、DIR=0）
- メモリ → ペリフェラル（MEM2MEM=0、DIR=1）
- メモリ → メモリ（MEM2MEM=1）

※メモリ → メモリモードでは、ペリフェラルからの要求信号は不要である。
このモード（MEM2MEM=1）を構成した後、チャネルを有効化（EN=1）することでデータ転送が開始される。このモードは循環（cyclic）モードをサポートしない。

DMA の構成手順は以下の通りである:

1. DMA_PADDRx レジスタに、ペリフェラルレジスタの先頭アドレス、またはメモリ → メモリモード（MEM2MEM=1）のメモリアドレスを設定する。このアドレスは DMA 要求発生時の転送元または転送先アドレスとなる。
2. DMA_MADDRx レジスタにメモリアドレスを設定する。DMA 要求発生時、転送されるデータはこのアドレスから読み書きされる。
3. DMA_CNTRx レジスタに転送するデータ量を設定する。この値は各転送後にデクリメントされる。
4. DMA_CFGRx レジスタの PL[1:0]ビットにチャネルの優先度を設定する。
5. DMA_CFGRx レジスタに以下の各種制御ビットを設定する:
   - 転送方向（DIR）
   - 循環モード（cyclic mode）
   - ペリフェラルおよびメモリのインクリメンタルモード（PINC/MINC）
   - ペリフェラルおよびメモリのデータ幅
   - 転送途中割り込み、転送完了割り込み、転送エラー割り込みの有効化
6. DMA_CCRx レジスタの ENABLE ビットを設定してチャネル x を起動する。

※DMA_PADDRx／DMA_MADDRx／DMA_CNTRx レジスタ、および DMA_CFGRx レジスタ内の転送方向（DIR）、循環モード、ペリフェラル／メモリのインクリメンタルモード（PINC/MINC）制御ビットは、DMA チャネルが起動していないときのみ書き込み可能である。

3) 循環モード（Circular mode）

DMA_CFGRx レジスタの CIRC ビットを 1 に設定すると、チャネルのデータ転送に対して循環モード機能が有効になる。

循環モードでは、転送データ数が 0 になると、DMA_CNTRx レジスタの内容が初期値に自動的にリロードされ、DMA_PADDRx および DMA_MADDRx レジスタで設定された初期アドレス値に、内部のペリフェラル／メモリアドレスレジスタが再ロードされる。

この状態で DMA 動作は、チャネルがオフになるか DMA モードが無効化されるまで継続する。

4) DMA 処理ステータス

- 転送ハーフ（Transfer half）:DMA_INTFR レジスタの HTIFx ビットに対応する。DMA 転送バイト数が初期設定値の半分未満になると、転送半分フラグが生成される。DMA_CCRx レジスタで HTIE が設定されている場合、割り込みが発生する。ハードウェアはこのフラグを用いて、アプリケーションに次の転送準備を促す。
- 転送完了（Transfer completion）:DMA_INTFR レジスタの TCIFx ビットに対応する。DMA 転送バイト数が 0 になると、転送完了フラグが生成される。DMA_CCRx レジスタで TCIE が設定されている場合、割り込みが発生する。
- 転送エラー（Transfer error）:DMA_INTFR レジスタの TEIFx ビットに対応する。予約済みアドレス領域への読み書きが発生すると、DMA 転送エラーが生成される。同時に、該当チャネルの DMA_CCRx レジスタの EN ビットがハードウェアによって自動的にクリアされ、チャネルは停止される。DMA_CCRx レジスタで TEIE が設定されている場合、割り込みが発生する。

アプリケーションが DMA チャネルのステータスを照会する際は、まず DMA_INTFR レジスタの GIFx ビットにアクセスして、どのチャネルで DMA イベントが発生しているかを判定し、そのチャネルの具体的な DMA イベント内容を処理する。

8.2.2 プログラマブルな転送サイズ／データビット幅／アライメント

DMA チャネルごとの 1 ラウンドで転送されるデータの総サイズは最大 65535 回までプログラム可能であり、未転送のバイト数は DMA_CNTRx レジスタに示される。

EN=0 のときに設定値を書き込み可能であり、DMA 転送チャネルが有効（EN=1）になると、このレジスタは読み取り専用となり、各転送後に値が減少する。

ペリフェラルおよびメモリの転送データ取得は、アドレスポインタの自動インクリメント機能をサポートしており、インクリメント幅はプログラム可能である。

最初にアクセスされる転送データのアドレスは DMA_PADDRx および DMA_MADDRx レジスタに格納される。

DMA_CFGRx レジスタの以下のビット設定により、アドレス自動インクリメントとデータ幅を制御できる:

- PINC ビット:ペリフェラルアドレスの自動インクリメントモードを有効化
- MINC ビット:メモリアドレスの自動インクリメントモードを有効化
- PSIZE[1:0]:ペリフェラルアドレスの取得データサイズおよびインクリメント幅を設定
- MSIZE[1:0]:メモリアドレスの取得データサイズおよびインクリメント幅を設定
- 選択肢:8-bit、16-bit、32-bit

具体的なデータ転送方式は、以下の表 8-1に示す(PINC=MINC=1 の場合)。

表 8-1：DMA 転送における異なるデータビット幅（PINC=MINC=1）

転送元ビット幅	転送先ビット幅	転送数	Source: address/data	Target: address/data	Transfer operations
8	8	4	0x00/B0 0x01/B1 0x02/B2 0x03/B3	0x00/B0 0x01/B1 0x02/B2 0x03/B3	- ソースアドレスのインクリメントは、ソース側で設定されたデータビット幅の分増加する - ターゲットアドレスのインクリメントは、ターゲット側で設定されたデータビット幅の分増加する - DMA によるデータが転送される際、ソース側よりターゲット側のビット幅が大きい場合はデータの上位ビットが 0 で埋められ、ターゲット側のビット幅が小さい場合はデータの上位ビットが切り捨てられる - ストレージデータモード：リトルエンディアンである。低アドレスに下位バイトを格納し、高アドレスに上位バイトを格納する
8	16	4	0x00/B0 0x01/B1 0x02/B2 0x03/B3	0x00/00B0 0x02/00B1 0x04/00B2 0x06/00B3	
8	32	4	0x00/B0 0x01/B1 0x02/B2 0x03/B3	0x00/000000B0 0x04/000000B1 0x08/000000B2 0x0C/000000B3	
16	8	4	0x00/B1B0 0x02/B3B2 0x04/B5B4 0x06/B7B6	0x00/B0 0x01/B2 0x02/B4 0x03/B6	
16	16	4	0x00/B1B0 0x02/B3B2 0x04/B5B4 0x06/B7B6	0x00/B1B0 0x02/B3B2 0x04/B5B4 0x06/B7B6	
16	32	4	0x00/B1B0 0x02/B3B2 0x04/B5B4 0x06/B7B6	0x00/0000B1B0 0x04/0000B3B2 0x08/0000B5B4 0x0C/0000B7B6	
32	8	4	0x00/B3B2B1B0 0x04/B7B6B5B4 0x08/BBBAB9B8 0x0C/BFBEBDBC	0x00/B0 0x01/B4 0x02/B8 0x03/BC	
32	16	4	0x00/B3B2B1B0 0x04/B7B6B5B4 0x08/BBBAB9B8 0x0C/BFBEBDBC	0x00/B1B0 0x02/B5B4 0x04/B9B8 0x06/BDBC	
32	32	4	0x00/B3B2B1B0 0x04/B7B6B5B4 0x08/BBBAB9B8 0x0C/BFBEBDBC	0x00/B3B2B1B0 0x04/B7B6B5B4 0x08/BBBAB9B8 0x0C/BFBEBDBC	

8.2.3 DMA 要求マッピング

DMA コントローラは 7 つのチャネルを提供しており、それぞれが複数のペリフェラル要求に対応している。

各ペリフェラルの対応レジスタ内で該当する DMA 制御ビットを設定することで、個別に DMA 機能を有効／無効にすることができる。

具体的な対応関係は以下の通りである。

図 8-1:DMA1 要求イメージ

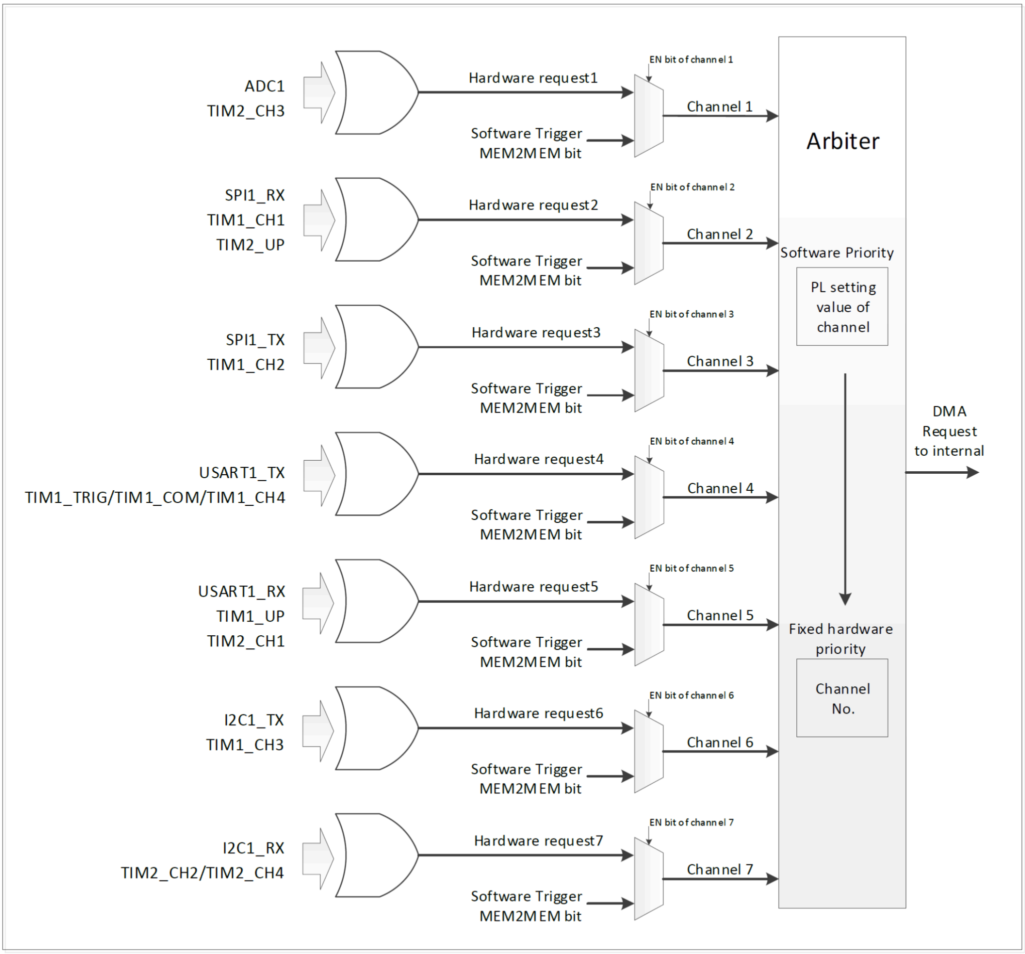


表 8-2:各チャネルに対する DMA1 ペリフェラルマッピング一覧

Peripherals	Channel1	Channel2	Channel3	Channel4	Channel5	Channel6	Channel7
ADC1	ADC1						
SPI1		SPI1_RX	SPI1_TX				
USART1				USART1_TX	USRAT_RX		
I2C1						I2C1_TX	I2C1_RX
TIM1		TIM1_CH1	TIM1_CH2	TIM1_CH4 TIM1_TRIG TIM1_COM	TIM1_UP	TIM1_CH3	
TIM2	TIM2_CH3	TIM2_UP			TIM2_CH1		TIM2_CH2 TIM2_CH4

8.3 レジスタ詳細

表 8-3:DMA 関連レジスター覧

Name	Access address	Description	Reset value
R32_DMA_INTFR	0x40020000	DMA interrupt status register	0x00000000
R32_DMA_INTFCR	0x40020004	DMA interrupt flag clear register	0x00000000
R32_DMA_CFGR1	0x40020008	DMA channel 1 configuration register	0x00000000
R32_DMA_CNTR1	0x4002000C	DMA channel 1 number of data register	0x00000000
R32_DMA_PADDR1	0x40020010	DMA channel 1 peripheral address register	0x00000000
R32_DMA_MADDR1	0x40020014	DMA channel 1 memory address register	0x00000000
R32_DMA_CFGR2	0x4002001C	DMA channel 2 configuration register	0x00000000
R32_DMA_CNTR2	0x40020020	DMA channel 2 number of data register	0x00000000
R32_DMA_PADDR2	0x40020024	DMA channel 2 peripheral address register	0x00000000
R32_DMA_MADDR2	0x40020028	DMA channel 2 memory address register	0x00000000
R32_DMA_CFGR3	0x40020030	DMA channel 3 configuration register	0x00000000
R32_DMA_CNTR3	0x40020034	DMA channel 3 number of data register	0x00000000
R32_DMA_PADDR3	0x40020038	DMA channel 3 peripheral address register	0x00000000
R32_DMA_MADDR3	0x4002003C	DMA channel 3 memory address register	0x00000000
R32_DMA_CFGR4	0x40020044	DMA channel 4 configuration register	0x00000000
R32_DMA_CNTR4	0x40020048	DMA channel 4 number of data register	0x00000000
R32_DMA_PADDR4	0x4002004C	DMA channel 4 peripheral address register	0x00000000
R32_DMA_MADDR4	0x40020050	DMA channel 4 memory address register	0x00000000
R32_DMA_CFGR5	0x40020058	DMA channel 5 configuration register	0x00000000
R32_DMA_CNTR5	0x4002005C	DMA channel 5 number of data register	0x00000000
R32_DMA_PADDR5	0x40020060	DMA channel 5 peripheral address register	0x00000000
R32_DMA_MADDR5	0x40020064	DMA channel 5 memory address register	0x00000000
R32_DMA_CFGR6	0x4002006C	DMA channel 6 configuration register	0x00000000
R32_DMA_CNTR6	0x40020070	DMA channel 6 number of data register	0x00000000
R32_DMA_PADDR6	0x40020074	DMA channel 6 peripheral address register	0x00000000
R32_DMA_MADDR6	0x40020078	DMA channel 6 memory address register	0x00000000

R32_DMA_CFGR7	0x40020080	DMA channel 7 configuration register	0x00000000
R32_DMA_CNTR7	0x40020084	DMA channel 7 number of data register	0x00000000
R32_DMA_PADDR7	0x40020088	DMA channel 7 peripheral address register	0x00000000
R32_DMA_MADDR7	0x4002008C	DMA channel 7 memory address register	0x00000000

8.3.1 DMA Interrupt Status Register (DMA_INTFR)

Offset address: 0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				TEIF7	HTIF7	TCIF7	GIF7	TEIF6	HTIF6	TCIF6	GIF6	TEIF5	HTIF5	TCIF5	GIF5

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEIF4	HTIF4	TCIF4	GIF4	TEIF3	HTIF3	TCIF3	GIF3	TEIF2	HTIF2	TCIF2	GIF2	TEIF1	HTIF1	TCIF1	GIF1

Bit	Name	Access	Description	Reset value
[31:28]	Reserved	RO	Reserved	0
27/23/19/15/11/7/3	TEIFx	RO	チャネル x(x=1/2/3/4/5/6/7)に対する転送エラーフラグ: 1:チャネル x で転送エラーが発生した 0:チャネル x に転送エラーは発生していない ハードウェアによって設定され、ソフトウェアが CTEIFx ビットを書き込むことでこのフラグをクリアする	0
25/21/17/13/9/5/1	TCIFx	RO	チャネル x(x=1/2/3/4/5/6/7)に対する転送完了フラグ: 1:チャネル x で転送完了イベントが発生した 0:チャネル x に転送完了イベントは発生していない ハードウェアによって設定され、ソフトウェアが CTCIFx ビットを書き込むことでこのフラグをクリアする	0
24/20/16/12/8/4/0	GIFx	RO	チャネル x(x=1/2/3/4/5/6/7)に対するグローバル割り込みフラグ: 1:チャネル x で TEIFx、HTIFx、または TCIFx のいずれかが発生した 0:チャネル x で TEIFx、HTIFx、TCIFx のいずれも発生していない ハードウェアによって設定され、ソフトウェアが CGIFx ビットを書き込むことでこのフラグをクリアする	0

8.3.2 DMA Interrupt Flag Clear Register (DMA_INTFCR)

Offset address: 0x04

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				CTEIF7	CHTIF7	CTCIF7	CGIF7	CTEIF6	CHTIF6	CTCIF6	CGIF6	CTEIF5	CHTIF5	CTCIF5	CGIF5

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTEIF4	CHTIF4	CTCIF4	CGIF4	CTEIF3	CHTIF3	CTCIF3	CGIF3	CTEIF2	CHTIF2	CTCIF2	CGIF2	CTEIF1	CHTIF1	CTCIF1	CGIF1

Bit	Name	Access	Description	Reset value
[31:28]	Reserved	RO	Reserved	0
27/23/19/15/11/7/3	CTEIFx	WO	チャネル x(x=1/2/3/4/5/6/7)の転送エラーフラグをクリア: 1:DMA_INTFR レジスタ内の TEIFx フラグをクリアする 0:効果なし(何も行われない)	0
26/22/18/14/10/6/2	CHTIFx	WO	チャネル x(x=1/2/3/4/5/6/7)の転送半分フラグをクリア: 1:DMA_INTFR レジスタ内の HTIFx フラグをクリアする 0:効果なし(何も行われない)	0
25/21/17/13/9/5/1	CTCIFx	WO	チャネル x(x=1/2/3/4/5/6/7)の転送完了フラグをクリア: 1:DMA_INTFR レジスタ内の TCIFx フラグをクリアする 0:効果なし(何も行われない)	0
24/20/16/12/8/4/0	CGIFx	WO	チャネル x(x=1/2/3/4/5/6/7)のグローバル割り込みフラグをクリア: 1:DMA_INTFR レジスタ内の TEIFx/HTIFx/TCIFx/GIFx フラグをクリアする 0:効果なし(何も行われない)	0

8.3.3 DMA Channel x Configuration Register (DMA_CFGRx) (x=1/2/3/4/5/6/7)

Offset address: 0x08 + (x-1)*20

Bit	Name	Access	Description	Reset value
[31:15]	Reserved	RO	Reserved	0
14	MEM2MEM	RW	メモリ・ツー・メモリモードの有効化: 1:メモリ間データ転送モードを有効にする 0:メモリ間データ転送モードを無効にする	0
[13:12]	PL	RW	チャネル優先度設定: 00:低 01:中 10:高 11:最高	0
[11:10]	MSIZE	RW	メモリアドレスのデータ幅設定: 00:8 ビット 01:16 ビット 10:32 ビット 11:予約済み(使用不可)	0
[9:8]	PSIZE	RW	ペリフェラルアドレスのデータ幅設定: 00:8 ビット 01:16 ビット 10:32 ビット 11:予約済み(使用不可)	0
7	MINC	RW	メモリアドレスのインクリメンタルモード有効化: 1:メモリアドレスのインクリメント操作を有効にする 0:メモリアドレスは変更されず、固定されたままとなる	0
6	PINC	RW	ペリフェラルアドレスのインクリメンタルモード有効化: 1:ペリフェラルアドレスのインクリメント操作を有効にする 0:ペリフェラルアドレスは変更されず、固定されたままとなる	0
5	CIRC	RW	DMA チャネルのサイクリックモード有効化: 1:サイクリック動作を有効にする(連続的な転送を繰り返す) 0:単一の転送動作のみを実行する	0
4	DIR	RW	データ転送方向設定: 1:メモリから読み出す(ペリフェラルへ書き込む) 0:ペリフェラルから読み出す(メモリへ書き込む)	0
3	TEIE	RW	転送エラー割り込みの有効化制御: 1:転送エラー割り込みを有効にする 0:転送エラー割り込みを無効にする	0
2	HTIE	RW	転送半分割り込みの有効化制御: 1:転送半分割り込みを有効にする 0:転送半分割り込みを無効にする	0
1	TCIE	RW	転送完了割り込みの有効化制御: 1:転送完了割り込みを有効にする 0:転送完了割り込みを無効にする	0

0	EN	RW	チャネル有効化制御: 1:チャネルをオンにする 0:チャネルをオフにする DMA 転送エラーが発生した場合、ハードウェアはこのビットを自動的に `0` にクリアし、チャネルをシャットダウンする	0

8.3.4 DMA Channel x Number of Data Register (DMA_CNTRx) (x=1/2/3/4/5/6/7)

Offset address: 0x0C + (x-1)*20

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
NDT[15:0]															

Bit	Name	Access	Description	Reset value
[31:16]	Reserved	RO	Reserved	0
[15:0]	NDT [15:0]	RW	転送データ数(範囲:0～65535): - このレジスタは、チャネルが動作していない状態(DMA_CFGRx の EN=0)でのみ書き込み可能 - チャネルがオンになると、このレジスタは読み取り専用となり、残りの未完了転送数を示す(DMA 転送ごとに内容が減算される) - チャネルがサイクリックモードの場合、レジスタの内容は以前に設定された値に自動的にリロードされる	0

8.3.5 DMA Channel x Peripheral Address Register (DMA_PADDRx) (x=1/2/3/4/5/6/7)

Offset address: 0x10 + (x-1)*20

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PA[31:0]

Bit	Name	Access	Description	Reset value
[31:0]	PA[31:0]	RW	ペリフェラルベースアドレス(ペリフェラルデータ転送のソースまたはデスティネーションアドレスとして機能): - `PSIZE[1:0]='01'`(16 ビット)の場合、モジュールは bit0 を自動的に無視し、操作アドレスは 2 バイト境界に自動的にアラインされる - `PSIZE[1:0]='10'`(32 ビット)の場合、モジュールは bit[1:0] を自動的に無視し、操作アドレスは 4 バイト境界に自動的にアラインされる	0

※このレジスタは、EN=0 のときのみ変更可能であり、EN=1 の状態では書き込みできない。

8.3.6 DMA Channel x Memory Address Register (DMA_MADDRx) (x=1/2/3/4/5/6/7)

Offset address: 0x14 + (x-1)*20

31–0
MA[31:0]

Bit	Name	Access	Description	Reset value
[31:0]	MA[31:0]	RW	ペリフェラルベースアドレス（ペリフェラルデータ転送のソースまたはデスティネーションアドレスとして機能）: - `PSIZE[1:0]='01'`（16 ビット）の場合、モジュールは bit0 を自動的に無視し、操作アドレスは 2 バイト境界に自動的にアラインされる - `PSIZE[1:0]='10'`（32 ビット）の場合、モジュールは bit[1:0] を自動的に無視し、操作アドレスは 4 バイト境界に自動的にアラインされる	0

※このレジスタは、EN=0 のときのみ変更可能であり、EN=1 の状態では書き込みできない。

Chapter 9 アナログ-デジタルコンバータ（ADC）

ADCモジュールは、最大24MHzの入力クロックに対応した10ビット逐次比較型アナログ-デジタルコンバータを含む。

本モジュールは、8個の外部チャネルおよび2個の内部信号源サンプリングソースをサポートする。

チャネルの単一変換および連続変換、チャネル間の自動スキャンモード、間欠モード、外部トリガモード、二重サンプリング、トリガ遅延などの動作が可能である。

アナログ・ウォッチドッグ機能を使用することで、チャネル電圧がしきい値範囲内にあるかどうかを監視することができる。

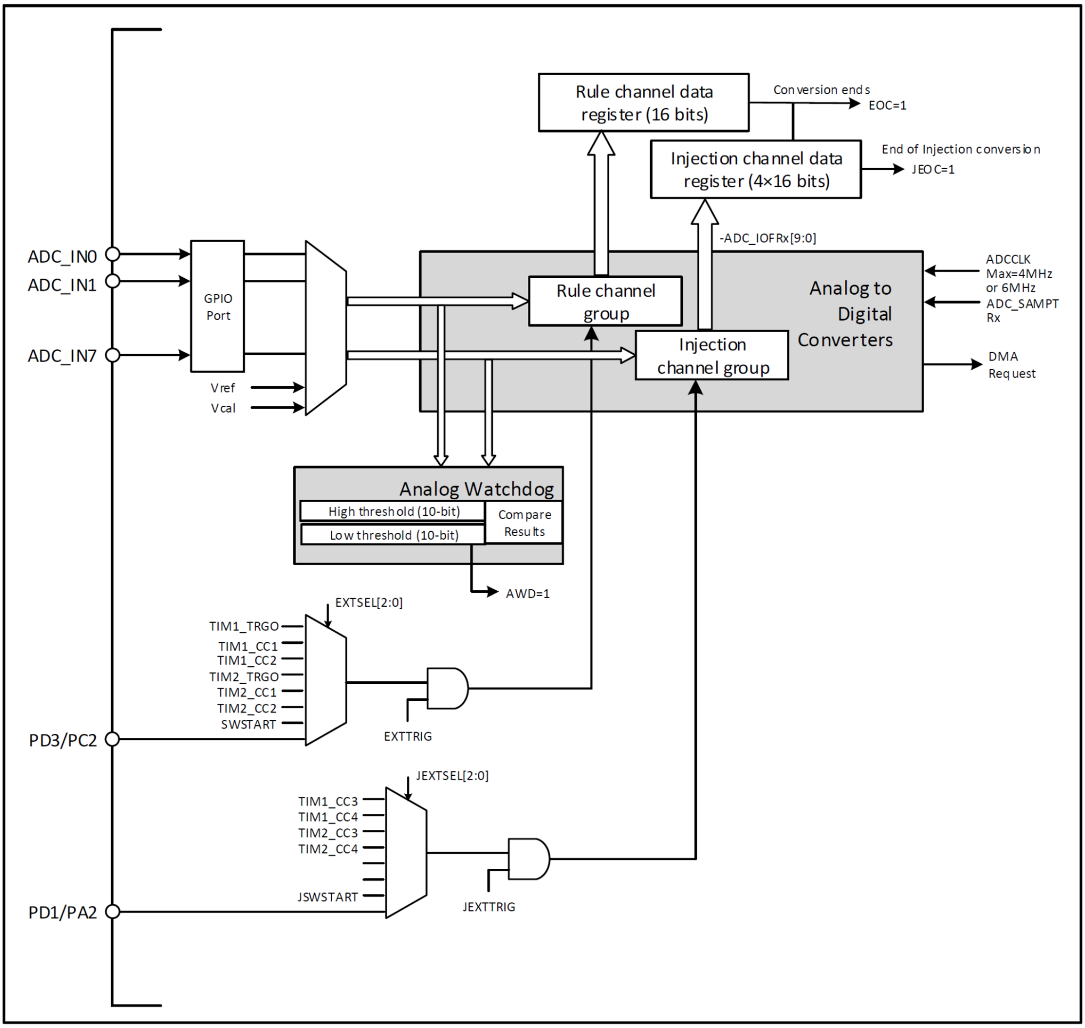
9.1 主な機能

- 10ビット分解能
- サンプリング用に8個の外部チャネルおよび2個の内部信号源をサポート
- 複数チャネルに対する複数のサンプリング変換方式：単一、連続、スキャン、トリガ、間欠など
- データ整列モード：左詰め、右詰め
- サンプリング時間はチャネルごとに個別にプログラム可能
- 通常変換および注入変換の両方が外部トリガをサポート
- チャネル電圧を監視するアナログ・ウォッチドッグ
- ADCチャネル入力範囲：0 ≦ VIN ≦ VDDA
- トリガ遅延

9.2 機能説明

9.2.1 モジュール構造

図9-1 ADCモジュールブロック図



9.2.2 ADC構成

1) モジュールの電源投入

ADC_CTLR2レジスタのADONビットが1である場合、ADCモジュールが電源投入状態であることを示す。

ADCモジュールが電源断モード(ADON==0)から電源投入状態(ADON==1)に移行する際、モジュールの安定化時間として遅延期間tSTABが必要である。

その後、ADONビットを再度1に書き込むことで、ソフトウェアによるADC変換開始のスタート信号として使用される。

ADONビットを0にクリアすることで、現在の変換を終了させ、ADCモジュールを電源断モードに移行させることができる。この状態では、ADCはほとんど電力を消費しない。

2) サンプリングクロック

本モジュールのレジスタ操作はHBCLK（HBバス）クロックに基づく。

変換ユニットのクロック基準であるADCCLKは、RCC_CFGR0レジスタのADCPREフィールドによって分周設定される。

詳細についてはデータシート「CH32V003DS0」を参照のこと。

3) チャネル構成

ADCモジュールは、8個の外部チャネルおよび2個の内部チャネルを含む、合計10個のチャネルサンプリングソースを提供する。

これらは、通常グループおよび注入グループの2種類の変換グループに構成可能であり、任意のチャネル数・順序による一連の変換からなるグループ変換を実現できる。

変換グループ：

- 通常グループ：最大16回の変換で構成される。通常チャネルおよびその変換順序はADC_RSQRxレジスタで設定される。通常グループ内の変換総数はADC_RSQR1レジスタのL[3:0]に書き込む必要がある。
- 注入グループ：最大4回の変換で構成される。注入チャネルおよびその変換順序はADC_ISQRレジスタで設定される。注入グループ内の変換総数はADC_ISQRレジスタのJL[1:0]に書き込む必要がある。

注記：変換中にADC_RSQRxまたはADC_ISQRレジスタが変更された場合、現在の変換は終了し、新たに選択されたグループの変換を開始するためのスタート信号がADCに送信される。

2個の内部チャネル：

- Vref 内部基準電圧：ADC_IN8チャネルに接続される。
- Vcal 内部キャリブレーション電圧：ADC_IN9チャネルに接続され、2段階の選択が可能。

4) キャリブレーション

ADC_CTLR2レジスタのRSTCAL位置に1を書き込むことでキャリブレーションレジスタを初期化し、RSTCALがハードウェアによって0にクリアされるのを待つことで初期化完了を示す。

CALビットをセットすることでキャリブレーション機能を開始する。キャリブレーションが完了すると、ハードウェアはCALビットを自動的にクリアし、キャリブレーションコードをADC_RDATARに格納する。

その後、通常の変換機能を開始可能となる。ADCモジュールの電源投入時にキャリブレーションを実行することが推奨される。

注記：キャリブレーションを開始する前に、ADCモジュールが電源投入状態（ADON==1）であることを、少なくとも2クロックサイクル以上保持している必要がある。

5) プログラム可能なサンプリング時間

ADCは、入力電圧をサンプリングするために複数のADCCLKサイクルを使用する。
チャネルごとのサンプリングサイクル数は、ADC_SAMPTR1およびADC_SAMPTR2レジスタのSMPx[2:0]ビットによって変更可能である。
各チャネルは異なる時間で個別にサンプリングすることができる。

総変換時間は以下の式で算出される：
TCONV = サンプリング時間 + 11 * TADCCLK

ADCの通常チャネル変換はDMA機能をサポートする。
通常チャネル変換の値はデータ専用レジスタADC_RDATARに格納される。
複数の通常チャネルが連続して変換される場合に、ADC_RDATARレジスタのデータがタイミングよく取得されないことを防ぐため、ADCのDMA機能を有効化することができる。
ハードウェアは、通常チャネルの変換終了時（EOC==1）にDMAリクエストを生成し、ADC_RDATARレジスタからユーザ指定の転送先アドレスへ変換データを転送する。
DMAコントローラモジュールのチャネル構成が完了した後、ADC_CTLR2レジスタのDMA位置に1を書き込むことで、ADCのDMA機能を有効化する。

注記：注入グループ変換はDMA機能をサポートしない。

6) データ整列

ADC_CTLR2レジスタのALIGNビットは、ADC変換データの格納整列方式を選択する。
10ビットデータは、左詰めモードおよび右詰めモードをサポートする。

通常グループチャネルのデータレジスタADC_RDATARは、変換された実際の10ビットデジタル値を保持する。
一方、注入グループチャネルのデータレジスタADC_IDATARxは、変換された実データからADC_IOFRxレジスタで定義されたオフセット値を差し引いた値を保持する。
このため、正負の値が発生し、符号ビット（SIGNB）が存在する。

表 9-1 データ左詰め

Rule group data register

D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0	0	0	0

Inject group data register

SIGNB	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0	0	0

表 9-2 データ右詰め

Rule group data register

0	0	0	0	0	0	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

Inject group data register

SIGNB	SIGNB	SIGNB	SIGNB	SIGNB	SIGNB	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

9.2.3 外部トリガソース

ADCの変換開始イベントは、外部イベントによってトリガされる場合がある。

ADC_CTLR2レジスタのEXTTRIGまたはJEXTTRIGビットがセットされている場合、それぞれ通常グループまたは注入グループチャネルの変換が外部イベントによってトリガされる。

この場合、EXTSEL[2:0]およびJEXTSEL[2:0]ビットの設定によって、通常グループおよび注入グループの外部イベントソースが決定される。

注記：ADCの通常変換または注入変換に外部トリガ信号が選択されている場合、変換開始はその立ち上がりエッジのみで行われる。

表9-3 通常グループチャネルの外部トリガソース

EXTSEL[2:0]	Trigger source	Type
000	TRGO event of timer 1	オンチップタイマからの内部信号
001	CC1 event of timer 1	
010	CC2 event of timer 1	
011	TRGO event of timer 2	
100	CC1 event of timer 2	
101	CC2 event of timer 2	
110	PD3/PC2 events	外部ピンからのトリガ信号
111	SWSTART software trigger	ソフトウェア制御ビット

表9-4 注入グループチャネルの外部トリガソース

EXTSEL[2:0]	Trigger source	Type
000	CC3 event of timer 1	オンチップタイマからの内部信号
001	CC4 event of timer 1	
010	CC3 event of timer 2	
011	CC4 event of timer 2	
100	-	
101	-	
110	PD1/PA2	外部ピンからのトリガ信号
111	JSWSTART software trigger	ソフトウェア制御ビット

9.2.4 変換モード

表9-5 変換モードの組み合わせ

ADC_CTLR1 and ADC_CTLR2 register control bits					ADC 変換モード
CONT	SCAN	DISCEN / JDISCEN	JAUTO	Start event	
0	0	0	0	ADON position 1	単一・単一チャネルモード このモードでは、ADCの通常グループ(rule group)において、1つのチャネルに対して1回の変換を実行する。
				External trigger method	単一・単一チャネルモード ADCが通常グループ(rule group)または注入グループ(injection group)のいずれか1チャネルに対して、1回だけ変換を実行する。
	1	0	0	ADON position 1 or external trigger method	単一スキャンモード:ADCは、選択されたすべての通常グループチャネル(ADC_RSQRx)またはすべての注入グループチャネル(ADC_ISQR)に対して、1回の変換を順番に実行する。 トリガ注入方式:通常グループチャネルの変換処理は、注入グループチャネルの全変換処理に割り込んで挿入されることが可能であり、その後に通常グループチャネルの変換を継続する。ただし、注入グループチャネルの変換中に通常グループチャネルの変換は挿入されない。
			1	ADON position 1 or external trigger method	単一スキャンモード:選択されたすべての通常グループチャネル(ADC_RSQRx)またはすべての注入グループチャネル(ADC_ISQR)に対して、1回の変換を順番に実行する。 自動注入方式:通常グループチャネルの変換が完了した後、注入グループチャネルの変換が自動的に実行される。
	0	1 (DISCEN and JDISCEN cannot be 1 at the same time)	0	External trigger method	単一間欠モード:イベントが開始されるたびに、チャネル番号の短い遷移シーケンス(DISCNUM[2:0]で定義された数)が実行され、選択されたすべてのチャネル遷移が完了するまで再起動することはできない。 注記:DISCENおよびJDISCEN制御ビットは、それぞれ通常グループおよび注入グループに対して選択される。間欠モードは、通常グループと注入グループの両方に同時に構成することはできない。
			1	-	Disable this mode.
	1	1	X	-	No such mode.
1	0	0	0	ADON position 1 or external trigger method	連続単一チャネル/スキャンモード:各ラウンドの変換終了時に、新たな変換ラウンドを繰り返し実行し、CONTビットが0にクリアされるまで継続する。
	1	0	0		
			1		

注記:通常グループおよび注入グループに対する外部トリガイベントは異なる。'ACON'ビットは通常グループチャネルの変換のみを開始可能であるため、通常グループチャネル変換と注入グループチャネル変換の開始イベントはそれぞれ独立している。

1) 単一・単一チャネル変換モード

このモードでは、現在の1チャネルに対してのみ1回の変換が実行される。変換対象は、通常グループまたは注入グループにおいて1番目に並べられたチャネルであり、ADC_CTLR2レジスタのADONビット位置1を設定することで開始される（通常チャネルのみ）。または、外部トリガによって開始することも可能である（通常チャネルまたは注入チャネル）。

選択されたチャネルの変換が完了すると、以下の処理が行われる：

- 通常グループチャネルの場合：変換データは16ビットADC_RDATARレジスタに格納され、EOCフラグがセットされ、EOCIEビットが設定されている場合はADC割込みが発生する。
- 注入グループチャネルの場合：変換データは16ビットADC_IDATAR1レジスタに格納され、EOCおよびJEOCフラグがセットされ、JEOCIEまたはEOCIEビットが設定されている場合はADC割込みが発生する。

2) 単一スキャンモード変換

ADCスキャンモードは、ADC_CTLR1レジスタのSCANビットに1を設定することで起動される。このモードは、アナログチャネル群をスキャンし、ADC_RSQRxレジスタ（通常チャネル用）またはADC_ISQRレジスタ（注入チャネル用）で選択されたすべてのチャネルに対して、1回の変換を順番に実行するために使用される。現在のチャネルの変換が完了すると、同一グループ内の次のチャネルが自動的に変換される。

スキャンモードでは、JAUTOビットの状態に応じて、トリガ注入モードと自動注入モードに細分化される。

トリガ注入

JAUTOビット = 0。通常グループチャネルのスキャン中に注入グループチャネル変換のトリガイベントが発生した場合、現在の変換はリセットされ、注入チャネルのシーケンスが単一スキャンで実行される。選択されたすべての注入グループチャネルのスキャン変換が完了した後、中断された通常グループチャネルの変換が再開される。

注入グループチャネルのシーケンスが現在スキャン中に、通常チャネルの開始イベントが発生した場合、注入グループの変換は中断されず、注入シーケンス変換が完了した後に通常シーケンス変換が再度実行される。

注記：トリガ注入変換を使用する場合、トリガイベント間の間隔が注入シーケンスより長くなるように設定する必要がある。例えば、注入シーケンスの変換完了に要する全体時間が28 ADCCLKである場合、注入チャネルをトリガするイベント間隔の最小値は29 ADCCLKでなければならない。

自動注入

　JAUTOビットを1に設定すると、通常グループで選択されたすべてのチャネルの変換が完了した後に、注入グループで選択されたチャネルの変換が自動的に実行される。この方式では、ADC_RSQRxおよびADC_ISQRレジスタに最大20個の変換シーケンスを設定して変換を行うことができる。

　このモードでは、注入チャネルの外部トリガを無効にしなければならない（IEXTTRIG == 0、JEXTTRIG == 0）。

注記：ADCクロックプリスケーラ係数（ADCPRE[1:0]）が4～8の場合、通常変換から注入シーケンスへの切り替え、または注入変換から通常シーケンスへの切り替え時に、1 ADCCLK間隔が自動的に挿入される。ADCPREが2の場合は、2 ADCCLK間隔の遅延が発生する。

3) 単一間欠モード変換

　通常グループまたは注入グループの間欠モードは、ADC_CTLR1レジスタのDISCENまたはJDISCENビットを1に設定することで起動される。このモードは、スキャンモードにおけるチャネル全体の一括変換とは異なり、チャネル群を複数の短いシーケンスに分割し、各外部トリガイベントごとに短いスキャン遷移シーケンスを実行する。

　短いシーケンスの長さn（n<=8）は、ADC_CTLR1レジスタのDISCNUM[2:0]で定義される。DISCEN == 1の場合は通常グループの間欠モードであり、変換対象の総チャネル数はADC_RSQR1レジスタのL[3:0]で定義される。JDISCEN == 1の場合は注入グループの間欠モードであり、変換対象の総チャネル数はADC_ISQRレジスタのJL[1:0]で定義される。

　通常グループと注入グループを同時に間欠モードに設定することはできない。

グループ間欠モードの例：

- DISCEN = 1
- DISCNUM[2:0] = 3（1トリガあたり3チャネル変換）
- L[3:0] = 8（総変換チャネル数 = 8）
- 変換対象チャネル = 1, 3, 2, 5, 8, 4, 10, 6（ADC_RSQRxに設定）

外部トリガごとの変換シーケンス：

- 第1回外部トリガ：変換シーケンス = 1, 3, 2
- 第2回外部トリガ：変換シーケンス = 5, 8, 4
- 第3回外部トリガ：変換シーケンス = 10, 6（この時点でEOCイベントが発生）
- 第4回外部トリガ：変換シーケンス = 1, 3, 2（シーケンスが再開始）

※この動作により、ADCは外部トリガごとにDISCNUM個のチャネルを順次変換し、L個のチャネル全体が完了するとEOCフラグがセットされる。次回トリガで再度同じシーケンスが繰り返される。

注入グループにおける間欠パターンの例:

- JDISCEN = 1(注入グループの間欠モードを有効)
- DISCNUM[2:0] = 1(1トリガあたり1チャネル変換)
- JL[1:0] = 3(総変換チャネル数 = 3)
- 変換対象チャネル = 1, 3, 2(ADC_ISQRに設定)

外部トリガごとの変換シーケンス:

- 第1回外部トリガ:変換チャネル = 1
- 第2回外部トリガ:変換チャネル = 3
- 第3回外部トリガ:変換チャネル = 2(この時点でEOCおよびJEOCイベントが発生)
- 第4回外部トリガ:変換チャネル = 1(シーケンスが再開始)

補足事項:

1. 通常グループまたは注入グループの間欠モードでは、変換シーケンスが完了しても自動的に最初から再開されることはない。すべてのサブグループが変換された後、次のトリガイベントで最初のサブグループから再開される。
2. 自動注入(JAUTO = 1)と間欠モード(DISCEN または JDISCEN = 1)は同時に使用できない。構成時は排他制御が必要である。
3. 通常グループと注入グループの両方に対して間欠モードを同時に設定することはできず、間欠モードは一方のグループに対する変換シーケンスにのみ使用可能である。

4) 連続変換モード

連続変換モードでは、前回のADC変換が完了すると直ちに次の変換が開始される。選択グループの最後のチャネルで変換が終了しても停止せず、再び選択グループの最初のチャネルから変換を継続する。

このモードの起動イベントには、外部トリガイベントおよびADC_CTLR2レジスタのADONビット設定(1)が含まれる。起動後は、ADC_CTLR2レジスタのCONTビットを1に設定する必要がある。

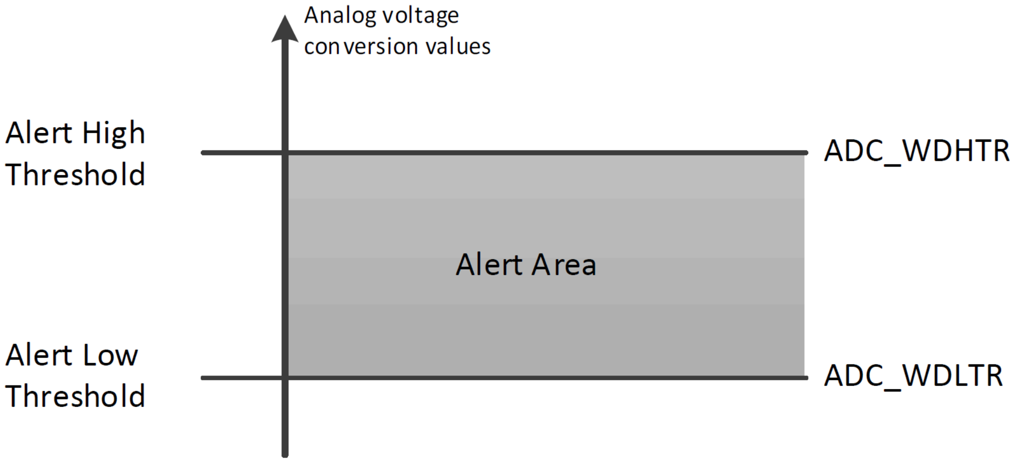
- 通常チャネルが変換された場合:変換データはADC_RDATARレジスタに格納され、変換終了フラグEOCがセットされる。EOCIEビットが設定されていれば、ADC割込みが発生する。
- 注入チャネルが変換された場合:変換データはADC_IDATARxレジスタに格納され、注入変換終了フラグJEOCがセットされる。JEOCIEビットが設定されていれば、ADC割込みが発生する。

9.2.5 アナログ・ウォッチドッグ（Analog Watchdog）

AWD（アナログ・ウォッチドッグ）ステータスビットは、ADCによって変換されるアナログ電圧が低しきい値未満または高しきい値を超えた場合にセットされる。しきい値は、ADC_WDHTRおよびADC_WDLTRレジスタの下位10ビットに設定される。

ADC_CTLR1レジスタのAWDIEビットをセットすることで、対応する割込みを生成可能となる。

図9-4 アナログ・ウォッチドッグしきい値領域



ADC_CTLR1レジスタのAWDSGL、AWDEN、JAWDEN、およびAWDCH[4:0]ビットを設定して、アナログ・ウォッチドッグ警告用のチャネルを選択する。対応関係は以下の表に示す。

表9-6 アナログ・ウォッチドッグチャネル選択

Analog watchdog alert channel	ADC_CTLR1 register control bit			
	AWDSGL	AWDEN	JAWDEN	AWDCH[4:0]
No vigilance	無視	0	0	無視
All injection channels	0	0	1	無視
All rule channels	0	1	0	無視
All injection and rule channels	0	1	1	無視
Single injection channel	1	0	1	チャンネル番号を指定
Single rule channel	1	1	0	チャンネル番号を指定

Single injection and rule channel	1	1	1	チャンネル番号を指定

9.3 レジスタ詳細

表9-7 ADC関連レジスター覧

Name	Access address	Description	Reset value
R32_ADC_STATR	0x40012400	ADC status register	0x00000000
R32_ADC_CTLR1	0x40012404	ADC control register 1	0x00000000
R32_ADC_CTLR2	0x40012408	ADC control register 2	0x00000000
R32_ADC_SAMPTR1	0x4001240C	ADC sample time register 1	0x00000000
R32_ADC_SAMPTR2	0x40012410	ADC sample time register 2	0x00000000
R32_ADC_IOFR1	0x40012414	ADC injected channel data offset register 1	0x00000000
R32_ADC_IOFR2	0x40012418	ADC injected channel data offset register 2	0x00000000
R32_ADC_IOFR3	0x4001241C	ADC injected channel data offset register 3	0x00000000
R32_ADC_IOFR4	0x40012420	ADC injected channel data offset register 4	0x00000000
R32_ADC_WDHTR	0x40012424	ADC watchdog high threshold register	0x000003FF
R32_ADC_WDLTR	0x40012428	ADC watchdog low threshold register	0x00000000
R32_ADC_RSQR1	0x4001242C	ADC regular sequence register 1	0x00000000
R32_ADC_RSQR2	0x40012430	ADC regular sequence register 2	0x00000000
R32_ADC_RSQR3	0x40012434	ADC regular sequence register 3	0x00000000
R32_ADC_ISQR	0x40012438	ADC injected sequence register	0x00000000
R32_ADC_IDATAR1	0x4001243C	ADC injected data register 1	0x00000000
R32_ADC_IDATAR2	0x40012440	ADC injected data register 2	0x00000000
R32_ADC_IDATAR3	0x40012444	ADC injected data register 3	0x00000000
R32_ADC_IDATAR4	0x40012448	ADC injected data register 4	0x00000000
R32_ADC_RDATAR	0x4001244C	ADC regular data register	0x00000000
R32_ADC_DLYR	0x40012450	ADC delayed data register	0x00000000

9.3.1 ADC Status Register (ADC_STATR)

Offset address: 0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											STRT	JSTRT	JEOC	EOC	AWD

Bit	Name	Access	Description	Reset value
[31:5]	Reserved	RO	Reserved	0
4	STRT	RW0	ルールチャネル変換開始状態: 1:ルールチャネルの変換が開始された状態である。 0:ルールチャネルの変換は開始されていない。 このビットはハードウェアによって`1`にセットされ、ソフトウェアによって`0`にクリアされる(`1`を書き込んでも無効)。	0
3	JSTRT	RW0	注入チャネル変換開始状態: 1:注入チャネルの変換が開始された状態である。 0:注入チャネルの変換は開始されていない。 このビットはハードウェアによって`1`にセットされ、ソフトウェアによって`0`にクリアされる(`1`を書き込んでも無効)。	0
2	JEOC	RW0	注入チャネルグループ変換の終了状態: 1:変換完了(すべての注入チャネルが変換された) 0:変換未完了 このビットはハードウェアによって`1`にセットされ、ソフトウェアによって`0`にクリアされる(`1`の書き込みは無効)。	0
1	EOC	RW0	変換終了状態: 1:変換完了(通常チャネルまたは注入チャネルグループの変換が終了) 0:変換未完了 このビットはハードウェアによって`1`にセットされ、ソフトウェアによって`0`にクリアされる(`1`の書き込みは無効)。また、ADC_RDATARレジスタを読み取ることでもクリアされる。	0
0	AWD	RW0	アナログ・ウォッチドッグフラグビット: 1:アナログ・ウォッチドッグイベントが発生した。 0:アナログ・ウォッチドッグイベントは発生していない。 このビットは、変換値がADC_WDHTRおよびADC_WDLTRレジスタで設定された範囲外である場合にハードウェアによって`1`にセットされ、ソフトウェアによって`0`にクリアされる(`1`の書き込みは無効)。	0

9.3.2 ADC Control Register 1 (ADC_CTLR1)

Offset address: 0x04

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved					CALVOL[1:0]		Reserved	AWDEN	JAWDEN	Reserved					

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DISCNUM[2:0]			JDISCEN	DISCEN	JAUTO	AWDSGL	SCAN	JEOCIE	AWDIE	EOCIE	AWDCH[4:0]				

Bit	Name	Access	Description	Reset value
[31:27]	Reserved	RO	Reserved	0
[26:25]	CALVOL [1:0]	RW	キャリブレーション電圧選択: - \`01\`:キャリブレーション電圧 = AVDD × 2/4 - \`10\`:キャリブレーション電圧 = AVDD × 3/4 - その他の値:無効(Invalid)	01b
24	Reserved	RO	Reserved	0
23	AWDEN	RW	ルールチャネルにおけるアナログ・ウォッチドッグ機能有効化ビット: 1:アナログ・ウォッチドッグを有効化する。 0:アナログ・ウォッチドッグを無効化する。	0
22	JAWDEN	RW	注入チャネルにおけるアナログ・ウォッチドッグ機能有効化ビット: 1:アナログ・ウォッチドッグを有効化する。 0:ナログ・ウォッチドッグを無効化する。	0
[21:16]	Reserved	RO	Reserved	0
[15:13]	DISCNUM [2:0]	RW	間欠モードにおいて外部トリガ後に変換されるルールチャネル数: 000:1チャネル … 111:8チャネル	0
12	JDISCEN	RW	注入チャネルにおける間欠モード有効化ビット: 1:間欠モードを有効化する。 0:間欠モードを無効化する。	0
11	DISCEN	RW	ルールチャネルにおける間欠モード有効化ビット: 1:間欠モードを有効化する。 0:間欠モードを無効化する。	0
10	JAUTO	RW	自動注入チャネルグループ変換切り替え機能ビット ルールチャネルの変換が完了すると、注入チャネルグループの変換有効ビットが自動的に切り替えられる。 1:注入チャネルグループの自動変換切り替えを有効 0:注入チャネルグループの自動変換切り替えを無効 ※このモードを使用する場合、注入チャネルの外部トリガ機能を無効にする必要がある。	0
9	AWDSGL	RW	スキャンモードにおける単一チャネルでのアナログ・ウォッチドッグ有効化ビット: 1:単一チャネルに対してアナログ・ウォッチドッグを使用する(AWDCH[4:0]で選択)	0

			0:すべてのチャネルに対してアナログ・ウォッチドッグを使用する	
8	SCAN	RW	スキャンモード有効化ビット: 1:スキャンモードを有効化する(ADC_IOFRxおよびADC_RSQRxで選択されたすべてのチャネルを連続変換) 0:スキャンモードを無効化する	0
7	JEOCIE	RW	注入チャネルグループ変換終了割込み有効化ビット: 1:注入チャネルグループの変換完了割込み(IEOC/JEOCフラグ)を有効化する。 0:注入チャネルグループの変換完了割込みを無効化する。	0
6	AWDIE	RW	アナログ・ウォッチドッグ割込み有効化ビット: 1:アナログ・ウォッチドッグ割込みを有効化する。 0:アナログ・ウォッチドッグ割込みを無効化する。 ※スキャンモード中にこの割込みが発生すると、スキャン処理は中断される。	0
5	EOCIE	RW	変換終了(ルールチャネルまたは注入チャネルグループ)割込み有効化ビット: 1:変換終了割込み(EOCフラグ)を有効化する。 0:変換終了割込みを無効化する。	0
[4:0]	AWDCH [4:0]	RW	アナログ・ウォッチドッグチャネル選択ビット(AWDCH[4:0]): 00000:アナログ入力チャネル 0 00001:アナログ入力チャネル 1 … 01001:アナログ入力チャネル 9	0

9.3.3 ADC Control Register 2 (ADC_CTLR2)

Offset address: 0x08

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved									SWSTART	JSWSTART	EXTTRIG	EXTSEL[2:0]			Reserved

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JEXTTRIG	JEXTSEL[2:0]			ALIGN	Reserved		DMA	Reserved				RSTCAL	CAL	CONT	ADON

Bit	Name	Access	Description	Reset value
[31:23]	Reserved	RO	Reserved	0
22	SWSTART	RW	ルールチャネル変換を開始するには、ソフトウェアトリガビットを以下のように設定する： 1：ルールチャネル変換を開始する（ソフトウェアによってセット） 0：リセット状態（変換開始後、ハードウェアによって自動的にクリアされる） このビットはソフトウェアによって`1`に設定され、変換が開始されるとハードウェアによって`0`にクリアされる。	0
21	JSWSTART	RW	注入チャネル変換を開始するには、ソフトウェアトリガビットを以下のように設定する： 1：注入チャネル変換を開始する（ソフトウェアによってセット） 0：リセット状態（変換開始時にハードウェアまたはソフトウェアによってクリアされる） このビットは変換開始のトリガとして機能し、開始後は自動的に`0`に戻される。	0
20	EXTTRIG	RW	ルールチャネルにおける外部トリガ変換モード有効化ビット： 1：外部イベントによって変換を開始する機能を有効化する。 0：外部イベントによる変換開始機能を無効化する。	0
[19:17]	EXTSEL [2:0]	RW	ルールチャネル変換を開始するための外部トリガイベント選択ビット： 000：タイマー1のTRGOイベント 001：タイマー1のCC1イベント 010：タイマー1のCC2イベント 011：タイマー2のTRGOイベント 100：タイマー2のCC1イベント 101：タイマー2のCC2イベント 110：PD3／PC2イベント 111：SWSTART（ソフトウェアトリガ）	0
16	Reserved	RO	Reserved	0
15	JEXTTRIG	RW	注入チャネルにおける外部トリガ変換モード有効化ビット： 1：外部イベントによって変換を開始する機能を有効化する。 0：外部イベントによる変換開始機能を無効化する。	0
[14:12]	JEXTSEL [2:0]	RW	注入チャネル変換を開始するための外部トリガイベント選択ビット： 000：タイマー1のCC3イベント 001：タイマー1のCC4イベント 010：タイマー2のCC3イベント 011：タイマー2のCC4イベント 100：予約（使用不可） 101：予約（使用不可）	0

			110:PD1／PA2イベント 111:JSWSTART(ソフトウェアトリガ)	
11	ALIGN	RW	データアライメント設定ビット: 1:左詰め(left-aligned) 0:右詰め(right-aligned)	0
[10:9]	Reserved	RO	Reserved	0
8	DMA	RW	DMAモード有効化ビット: 1:DMAモードを有効化する(ADC変換結果をDMA経由で自動転送) 0:DMAモードを無効化する(変換結果はCPUが直接取得)	0
[7:4]	Reserved	RO	Reserved	0
3	RSTCAL	RW	キャリブレーションリセットビット(RSTCAL): 1:キャリブレーションレジスタの初期化を開始する(ソフトウェアによってセット) 0:キャリブレーションレジスタの初期化が完了した状態(ハードウェアによってクリア) ※変換処理中にRSTCALをセットした場合、キャリブレーションレジスタのクリアには追加のクロックサイクルが必要となる。タイミング制御に注意すること。	0
2	CAL	RW	A/Dキャリブレーション制御ビット(CAL): 1:キャリブレーションを開始する(ソフトウェアによってセット) 0:キャリブレーション完了(ハードウェアによって自動的にクリア)	0
1	CONT	RW	連続変換モード有効化ビット: 1:連続変換モード(変換が連続して実行される) 0:単一変換モード(1回の変換のみ実行) ※このビットが`1`に設定されている間、ADCは変換を繰り返し続ける。変換を停止するには、ソフトウェアでこのビットを`0`にクリアする必要がある。	0
0	ADON	RW	A/Dコンバータのオン／オフ制御ビット(ADON): 1:ADCを起動し、変換を開始する。 　- このビットが`0`の状態で`1`を書き込むと、ADCはパワーダウンモードから復帰する。 　- このビットがすでに`1`の状態で再度`1`を書き込むと、変換が開始される。 0:ADC変換およびキャリブレーションを停止し、パワーダウンモードに移行する。 ※注意:変換を開始するには、ADONビットのみを変更する必要がある。他のビットと同時に書き換えた場合、変換は開始されない。操作タイミングに留意すること。	0

9.3.4 ADC Sample Time Configuration Register 1 (ADC_SAMPTR1)

Offset address: 0x0C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														SMP15[2:1]	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMP15 [0]	SMP14[2:0]			SMP13[2:0]			SMP12[2:0]			SMP11[2:0]			SMP10[2:0]		

Bit	Name	Access	Description	Reset value
[31:18]	Reserved	RO	Reserved	0
[17:0]	SMPx [2:0]	RW	SMPx[2:0]:チャネル x に対するサンプル時間設定ビット 000:3 サイクル 001:9 サイクル 010:15 サイクル 011:30 サイクル 100:43 サイクル 101:57 サイクル 110:73 サイクル 111:241 サイクル ※各チャネルに対して個別にサンプル時間を設定可能である。サンプル時間の設定値は、サンプルサイクル中は変更せず一定である必要がある。チャネルごとの入力インピーダンスや応答特性に応じて適切な時間を選定すること。	0

9.3.5 ADC Sample Time Configuration Register 2 (ADC_SAMPTR2)

Offset address: 0x10

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		SMP9[2:0]			SMP8[2:0]			SMP7[2:0]			SMP6[2:0]			SMP5[2:1]	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMP5[0]	SMP4[2:0]			SMP3[2:0]			SMP2[2:0]			SMP1[2:0]			SMP0[2:0]		

Bit	Name	Access	Description	Reset value
[31:30]	Reserved	RO	Reserved	0
[29:0]	SMPx[2:0]	RW	SMPx[2:0]:チャネル x に対するサンプル時間設定ビット 000:3 サイクル 001:9 サイクル 010:15 サイクル 011:30 サイクル 100:43 サイクル 101:57 サイクル 110:73 サイクル 111:241 サイクル このビットは、各チャネルに対して個別にサンプル時間を設定するために使用される。 ※サンプル時間設定値は、サンプルサイクル中に変更してはならず、一定である必要がある。 ※高インピーダンス入力や精度重視の測定には長めのサンプル時間が推奨される。チャネルごとの特性に応じて適切に選定すること。	0

9.3.6 ADC Injected Channel Data Offset Register x (ADC_IOFRx) (x=1/2/3/4)

Offset address: 0x14 + (x-1)*4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						JOFFSETx[11:0]									

Bit	Name	Access	Description	Reset value
[31:10]	Reserved	RO	Reserved	0
[9:0]	JOFFSETx[11:0]	RW	注入チャネル x に対するデータオフセット値: - このレジスタに設定された値は、注入チャネル変換時に元の変換データから減算される補正値である。 - 減算後の変換結果は、対応する `ADC_IDATARx` レジスタから読み出すことができる。 ※オフセット補正は、特定の基準値との差分を取得したい場合や、センサのゼロ点調整などに利用される。設定値は変換精度や符号処理に影響するため、運用条件に応じて適切に構成すること。	0

9.3.7 ADC Watchdog High Threshold Register (ADC_WDHTR)

Offset address: 0x24

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						HT[9:0]									

Bit	Name	Access	Description	Reset value
[31:10]	Reserved	RO	Reserved	0
[9:0]	HT[9:0]	RW	アナログ・ウォッチドッグ上側しきい値設定値	3FFh

備考：WDHTR（アナログ・ウォッチドッグ高しきい値）および WDLTR（低しきい値）は、変換処理中でも値の変更が可能である。ただし、変更された値は**次回の変換から有効**となる。

9.3.8 ADC Watchdog Low Threshold Register (ADC_WDLTR)

Offset address: 0x28

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						LT[9:0]									

Bit	Name	Access	Description	Reset value
[31:10]	Reserved	RO	Reserved	0
[9:0]	LT[9:0]	RW	アナログ・ウォッチドッグ下側しきい値設定値	0

備考：WDHTR（アナログ・ウォッチドッグ高しきい値）および WDLTR（低しきい値）は、変換処理中に変更可能であるが、**変更内容は次回の変換から有効**となる。

9.3.9 ADC Regular Sequence Register 1(ADC_RSQR1)

Offset address: 0x2C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								L[3:0]				SQ16[4:1]			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ16[0]	SQ15[4:0]					SQ14[4:0]					SQ13[4:0]				

Bit	Name	Access	Description	Reset value
[31:24]	Reserved	RO	Reserved	0
[23:20]	L[3:0]	RW	通常チャネル変換シーケンスにおける変換チャネル数設定ビット(L[3:0]): 0000～1111:1～16 チャネルの変換を指定 0000:1チャネル 0001:2チャネル … 1111:16チャネル	0
[19:15]	SQ16[4:0]	RW	通常変換シーケンスにおける第16番目の変換チャネル番号: SQ16 = 変換順序中の16番目に使用されるチャネル番号(0～9)を指定する。	0
[14:10]	SQ15[4:0]	RW	通常変換シーケンスにおける第15番目の変換チャネル番号(0～9)	0
[9:5]	SQ14[4:0]	RW	通常変換シーケンスにおける第14番目の変換チャネル番号(0～9)	0
[4:0]	SQ13[4:0]	RW	通常変換シーケンスにおける第13番目の変換チャネル番号(0～9)	0

9.3.10 ADC Regular Sequence Register 2(ADC_RSQR2)

Offset address: 0x30

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		SQ12[4:0]					SQ11[4:0]					SQ10[4:1]			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ10[0]	SQ9[4:0]					SQ8[4:0]					SQ7[4:0]				

Bit	Name	Access	Description	Reset value
[31:30]	Reserved	RO	Reserved	0
[29:25]	SQ12[4:0]	RW	通常変換シーケンスにおける第12番目の変換チャネル番号(0~9)	0
[24:20]	SQ11[4:0]	RW	通常変換シーケンスにおける第11番目の変換チャネル番号(0~9)	0
[19:15]	SQ10[4:0]	RW	通常変換シーケンスにおける第10番目の変換チャネル番号(0~9)	0
[14:10]	SQ9[4:0]	RW	通常変換シーケンスにおける第9番目の変換チャネル番号(0~9)	0
[9:5]	SQ8[4:0]	RW	通常変換シーケンスにおける第8番目の変換チャネル番号(0~9)	0
[4:0]	SQ7[4:0]	RW	通常変換シーケンスにおける第7番目の変換チャネル番号(0~9)	0

9.3.11 ADC Regular Sequence Register 3(ADC_RSQR3)

Offset address: 0x34

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		SQ6[4:0]					SQ5[4:0]					SQ4[4:1]			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ4[0]	SQ3[4:0]					SQ2[4:0]					SQ1[4:0]				

Bit	Name	Access	Description	Reset value
[31:30]	Reserved	RO	Reserved	0
[29:25]	SQ6[4:0]	RW	通常変換シーケンスにおける第6番目の変換チャネル番号(0~9)	0
[24:20]	SQ5[4:0]	RW	通常変換シーケンスにおける第5番目の変換チャネル番号(0~9)	0
[19:15]	SQ4[4:0]	RW	通常変換シーケンスにおける第4番目の変換チャネル番号(0~9)	0
[14:10]	SQ3[4:0]	RW	通常変換シーケンスにおける第3番目の変換チャネル番号(0~9)	0
[9:5]	SQ2[4:0]	RW	通常変換シーケンスにおける第2番目の変換チャネル番号(0~9)	0
[4:0]	SQ1[4:0]	RW	通常変換シーケンスにおける第1番目の変換チャネル番号(0~9)	0

9.3.12 ADC Injected Sequence Register (ADC_ISQR)

Offset address: 0x38

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										JL[1:0]		JSQ4[4:1]			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JSQ4[0]	JSQ3[4:0]					JSQ2[4:0]					JSQ1[4:0]				

Bit	Name	Access	Description	Reset value
[31:22]	Reserved	RO	Reserved	0
[21:20]	JL[1:0]	RW	注入変換シーケンスにおける変換チャネル数指定: 00:1チャネル 01:2チャネル 10:3チャネル 11:4チャネル	0
[19:15]	JSQ4[4:0]	RW	注入シーケンス中の4番目に変換されるチャネル番号(0~9) ※ソフトウェアによってチャネル番号(0~9)が書き込まれ、変換順序の第4番目として割り当てられる。	0
[14:10]	JSQ3[4:0]	RW	注入シーケンス中の3番目に変換されるチャネル番号(0~9)	0
[9:5]	JSQ2[4:0]	RW	注入シーケンス中の2番目に変換されるチャネル番号(0~9)	0
[4:0]	JSQ1[4:0]	RW	注入シーケンス中の1番目に変換されるチャネル番号(0~9)	0

注記:通常変換シーケンスとは異なり、JL[1:0]の値が4未満の場合、注入変換シーケンスの開始位置は(4 - JL)からとなる。

例:

- JL[1:0] == 3(注入変換数 = 4)の場合:変換順序は JSQ1[4:0] → JSQ2[4:0] → JSQ3[4:0] → JSQ4[4:0]
- JL[1:0] == 2(注入変換数 = 3)の場合:変換順序は JSQ2[4:0] → JSQ3[4:0] → JSQ4[4:0]
- JL[1:0] == 1(注入変換数 = 2)の場合:変換順序は JSQ3[4:0] → JSQ4[4:0]
- JL[1:0] == 0(注入変換数 = 1)の場合:変換順序は JSQ4[4:0] のみ

ADCx_ISQR[21:0] = 10_00111_00011_00111_00010 の場合、変換順序は JSQ2 → JSQ3 → JSQ4 に対応し、チャネル番号は 7 → 3 → 7 である。
※この構造により、未使用のJSQxフィールドは無視され、変換対象は(4 - JL)以降のフィールドに限定される。構成時はJLとJSQxの整合性に注意すること。

9.3.13 ADC Injected Data Register (ADC_IDATARx) (x=1/2/3/4)

Offset address: 0x3C + (x-1)*4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
JDATA[15:0]															

Bit	Name	Access	Description	Reset value
[31:16]	Reserved	RO	Reserved	0
[15:0]	JDATA [15:0]	RO	注入チャネル変換データ(左詰めまたは右詰め)	0

9.3.14 ADC Regular Data Register (ADC_RDATAR)

Offset address: 0x4C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
DATA[15:0]															

Bit	Name	Access	Description	Reset value
[31:16]	Reserved	RO	Reserved	0
[15:0]	DATA[15:0]	RO	通常チャネル変換データ(左詰めまたは右詰め)	0

9.3.15 ADC Delayed Data Register (ADC_DLYR)

Offset address: 0x50

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						DLYSRC	DLYVLU[8:0]								

Bit	Name	Access	Description	Reset value
[31:10]	Reserved	RO	Reserved	0
9	DLYSRC	RW	外部トリガソース遅延選択 1:注入チャネルの外部トリガ遅延を選択 0:通常チャネルの外部トリガ遅延を選択	0
[8:0]	DLYVLU [8:0]	RW	外部トリガ遅延データ、遅延時間設定(単位:ADCクロックサイクル) 遅延時間はADCクロックサイクル単位で指定される。 ※設定値はトリガ信号の入力から変換開始までの待機時間として機能する。	0

Chapter 10 高度制御タイマ（ADTM）

高度制御タイマモジュールは、強力な16ビット自動リロードタイマTIM1を内蔵しており、パルス幅の測定、パルス生成、PWM波形の出力などに使用可能である。
本タイマは、モータ制御、電源制御などの用途に用いられる。

10.1 主な機能

高度制御タイマTIM1の主な機能は以下のとおりである。

- 16-bit自動リロードカウンタは、加算カウントモード、減算カウントモード、および加算・減算カウントモードをサポートする。
- 16-bitプリスケーラは、1～65536の範囲で動的に調整可能なクロスオーバ係数をサポートする。
- 4個の独立した比較キャプチャチャネルをサポートする。
- 各比較キャプチャチャネルは、入力キャプチャ、出力比較、PWM生成、単一パルス出力など複数の動作モードをサポートする。
- 補完出力は、プログラム可能なデッドタイムをサポートする。
- 外部信号によるタイマ制御をサポートする。
- 繰返しカウンタを用いた所定周期後のタイマ更新をサポートする。
- ブレーキ信号によるタイマのリセットまたはOK状態への遷移をサポートする。
- 複数モードにおけるDMAの使用をサポートする。
- インクリメンタルエンコーダをサポートする。
- タイマ間のカスケード接続および同期動作をサポートする。

10.2 原理および構造

本節では、高度制御タイマの内部構造について述べる。

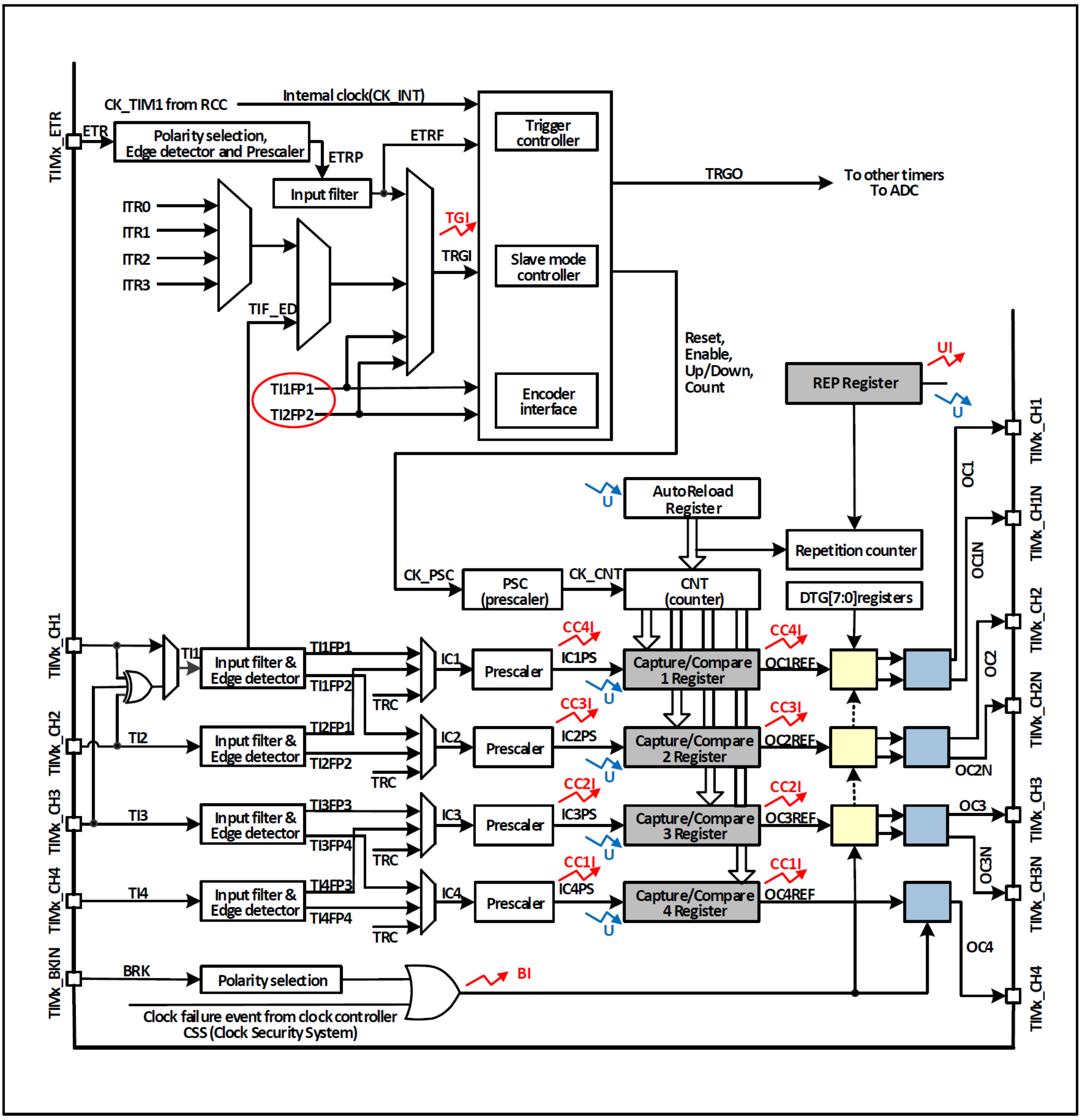
10.2.1 概要

図10-1に示すように、高度制御タイマの構造は大きく3つの部分に分けられる。すなわち、入力クロック部、コアカウンタ部、および比較キャプチャチャネル部である。
高度制御タイマは、HBバスクロック(CK_INT)、外部クロック入力ピン(TIMx_ETR)、クロック出力を持つ他のタイマ(ITRx)、または比較キャプチャチャネルの入力(TIMx_CHx)からクロック供給を受けることができる。これらの入力クロック信号は、所定のフィルタ処理および分周処理を経てCK_PSCクロックとなり、コアカウンタ部へ出力される。さらに、これらのクロックソースは、TRGOとして他のタイマやADCなどの周辺機器へ出力することも可能である。
高度制御タイマのコアは16-bitカウンタ(CNT)であり、CK_PSCはプリスケーラ(PSC)によって分周され、CK_CNTとなってCNTへ出力される。補助カウンタは、ATRLRがCNTの

初期値をリロードした回数をカウントし、Repeat Count Register(RPTCR)に設定された値に達したときに特定のイベントを生成する。

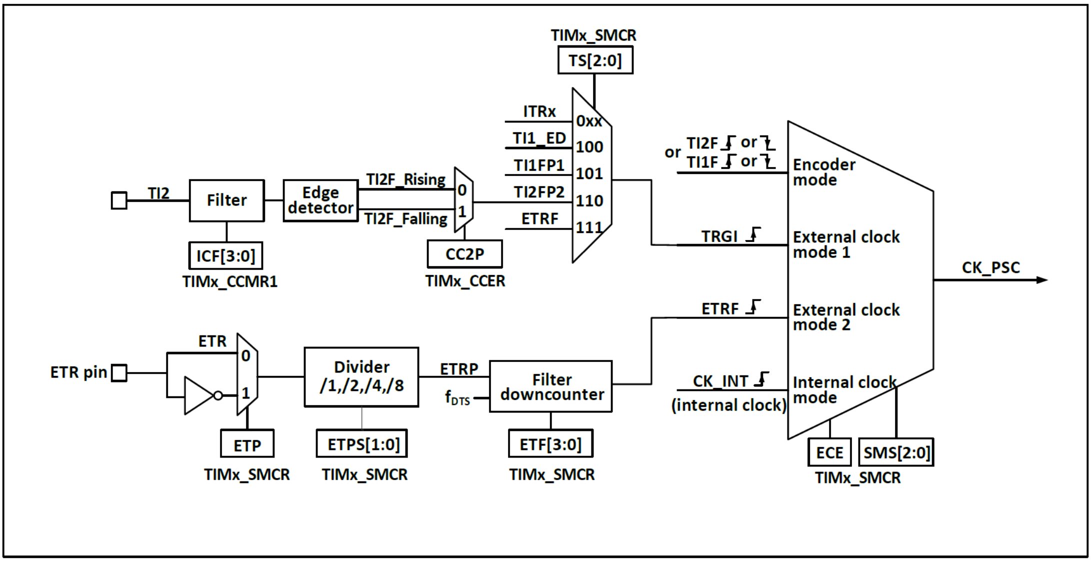
　高度制御タイマは4組の比較キャプチャチャネルを有し、それぞれが専用ピンからのパルス入力またはピンへの波形出力を行うことができる。すなわち、比較キャプチャチャネルは入力モードおよび出力モードの両方をサポートする。各チャネルの比較キャプチャレジスタの入力は、フィルタ処理、分周処理、エッジ検出処理をサポートし、チャネル間の相互トリガも可能であり、コアカウンタCNTへのクロック供給も行う。各比較キャプチャチャネルは、主カウンタ(CNT)との比較によりパルスを出力する比較キャプチャレジスタ(CHxCVR)を備える。

図10-1 高度制御タイマ構造のブロック図



10.2.2 クロック入力

図10-2 高度制御タイマにおけるCK_PSCソースのブロック図



高度制御タイマCK_PSCは複数のクロックソースを有し、4つのカテゴリに分類される。

1. 高度制御タイマCK_PSCは複数のクロックソースを有し、4つのカテゴリに分類される。
2. 内部HBクロック入力経路：CK_INT。
3. 比較キャプチャチャネルピン（TIMx_CHx）からの経路：TIMx_CHx → TIx → TIxFPx。この経路はエンコーダモードでも使用される。
4. 他の内部タイマからの入力：ITRx。

CK_PSCソースのSMSに対する入力パルスの選択により、実際の動作は以下の4カテゴリに分類される。

1. 内部クロックソース（CK_INT）の選択。
2. 外部クロックソースモード1。
3. 外部クロックソースモード2。
4. エンコーダモード。

上記の4つのクロックソースは、これら4つの動作モードによって選択可能である。

10.2.2.1 内部クロックソース(CK_INT)

SMSフィールドが000bに設定された状態で高度制御タイマを起動すると、クロックとして内部クロックソース（CK_INT）が選択される。この時点でCK_INTはCK_PSCとなる。

10.2.2.2 外部クロックソースモード1

SMSフィールドが111bに設定されると、外部クロックソースモード1が有効化される。外部クロックソースモード1が有効な場合、CK_PSCのソースとしてTRGIが選択される。な

お、TRGIのソースはTSフィールドの設定によって選択する必要がある。TSフィールドでは以下のパルス種別をクロックソースとして選択可能である。

1. 内部トリガ(ITRx, x == 0　x == 1　x == 2　x == 3)
2. 比較キャプチャチャネル1をエッジ検出器に通した後の信号(TI1F_ED)
3. 比較キャプチャチャネルの信号TI1FP1, TI2FP2
4. 外部クロック入力ピンからの信号ETRF

10.2.2.3 外部クロックソースモード2

外部トリガモード2を使用すると、外部クロック入力ピンの立上りエッジまたは立下りエッジごとにカウントを行う。ECEビット位置が設定されると、外部クロックソースモード2が使用される。外部クロックソースモード2を使用する場合、ETRFがCK_PSCとして選択される。ETRピンは、オプションのインバータ(ETP)、分周器(ETPS)、フィルタ(ETF)を順に通過することでETRPとなり、最終的にETRFとなる。

ECEビット位置が設定され、SMSが111bに設定されている場合、これはTSがETRFを入力として選択したことと同等である。

10.2.2.4 エンコーダモード

SMSを001b、010b、011bに設定すると、エンコーダモードが有効化される。エンコーダモードを有効にすると、TI1FP1およびTI2FP2の特定レベルを選択し、別のジャンプエッジを信号として出力することが可能となる。このモードは外部エンコーダを使用する場合に用いられる。詳細な機能については10.3.9節を参照のこと。

10.2.3 カウンタおよび周辺部

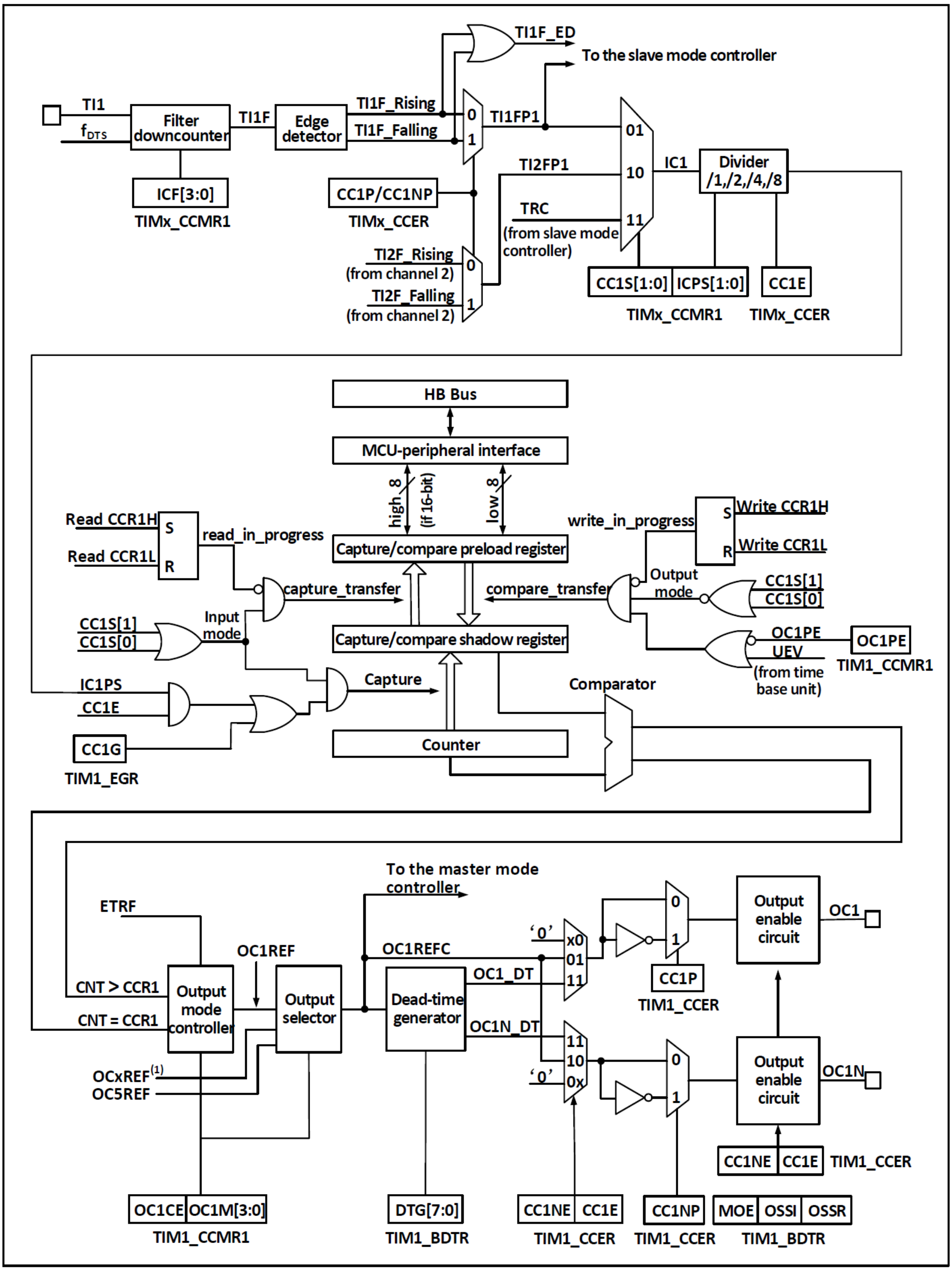
CK_PSCはプリスケーラ(PSC)に入力され、分周処理が行われる。PSCは16-bitであり、実際の分周係数はR16_TIMx_PSC + 1に等しい。CK_PSCはPSCを通過してCK_INTとなる。R16_TIM1_PSCの値を変更しても即時には反映されず、更新イベント後にPSCへ反映される。更新イベントにはUGビットのクリアおよびリセットが含まれる。

タイマのコアは16-bitカウンタ(CNT)であり、CK_CNTが最終的にCNTへ供給される。CNTは加算カウントモード、減算カウントモード、および加算・減算カウントモードをサポートする。また、CNTには自動リロードレジスタ(ATRLR)があり、各カウントサイクルの終了時に初期値をリロードする。さらに、補助カウンタがATRLRによる初期値リロードの回数を記録し、Repeat Count Register(RPTCR)に設定された回数に達したときに特定のイベントを生成することが可能である。

10.2.4 比較／キャプチャチャネルおよび周辺部

タイマの中核は比較／キャプチャレジスタであり、これに対して周辺入力部ではデジタルフィルタ、周波数分周、チャネル間マルチプレクスが補完され、出力部ではコンパレータおよび出力制御が補完される。

図10-3 比較キャプチャチャネル構造のブロック図



　比較キャプチャチャネルの構造ブロック図を図10-3に示す。

　信号はチャネルxピンから入力され、オプションでTIxとして構成される（TI1のソースはCH1以外も指定可能。詳細は図10-1のタイマ構造ブロック図を参照）。TI1はフィルタ(ICF[3:0])を通過してTI1Fを生成し、エッジ検出器によりTI1F_Risingおよび

TI1F_Fallingに分離される。これら2つの信号はCC1Pにより選択され、TI1FP1が生成される。TI1FP1およびチャネル2からのTI2FP1はCC1Sに送られ、IC1として選択される。IC1はICPSによる分周後に比較キャプチャレジスタへ送られる。

比較キャプチャレジスタはプリロードレジスタとシャドウレジスタで構成され、読み書き処理はプリロードレジスタに対してのみ行われる。キャプチャモードでは、キャプチャはシャドウレジスタ上で発生し、その後プリロードレジスタへコピーされる。比較モードでは、プリロードレジスタの内容がシャドウレジスタへコピーされ、その後シャドウレジスタの内容がコアカウンタ(CNT)と比較される。

10.3 機能および実装

高度制御タイマの複雑な機能の実装は、タイマの比較キャプチャチャネル、クロック入力回路、カウンタおよび周辺部の動作によって達成される。タイマへのクロック入力は、比較キャプチャチャネルの入力を含む複数のクロックソースから供給可能である。比較キャプチャチャネルの動作およびクロックソースの選択が、タイマの機能を直接的に決定する。比較キャプチャチャネルは双方向であり、入力モードおよび出力モードの両方で動作可能である。

10.3.1 入力キャプチャモード

入力キャプチャモードはタイマの基本機能の1つである。入力キャプチャモードの原理は、ICxPS信号上の所定エッジが検出されたときにキャプチャイベントが発生し、現在のカウンタ値が比較キャプチャレジスタ(R16_TIMx_CHCTLRx)にラッチされることである。キャプチャイベントが発生すると、R16_TIMx_INTFR内のCCxIFがセットされ、割込みまたはDMAが有効であれば、対応する割込みまたはDMAも生成される。キャプチャイベント発生時にCCxIFがすでにセットされている場合、CCxOFビットがセットされる。CCxIFはソフトウェアによってクリア可能であり、比較キャプチャレジスタの読み出しによってハードウェア的にもクリアされる。CCxOFはソフトウェアによってクリアされる。

チャネル1を例に、入力キャプチャモードの使用手順を以下に示す。

1. CCxSフィールドを設定し、ICx信号のソースを選択する。例：10bに設定し、IC1のソースとしてTI1FP1を選択する（デフォルトではCCxSフィールドは比較キャプチャモジュールを出力チャネルとして構成する）。
2. ICxFフィールドを設定し、TI信号に対するデジタルフィルタを構成する。デジタルフィルタは所定の周波数で所定回数サンプリングを行い、ジャンプを出力する。このサンプリング周波数および回数はICxFによって決定される。
3. CCxPビットを設定し、TIxFPxの極性を構成する。例：CC1PビットをLowに保持し、立上りエッジジャンプを選択する。
4. ICxPSフィールドを設定し、ICx信号のクロスオーバ係数を構成する。例：ICxPSを00bに保持し、クロスオーバなしとする。
5. CCxEビットを設定し、コアカウンタ(CNT)の値を比較キャプチャレジスタにキャプチャ可能とする。CC1Eビットをセットする。
6. 必要に応じてCCxIEおよびCCxDEビットを設定し、割込みまたはDMAの有効化を構成する。これにより比較キャプチャチャネルの構成が完了する。

TI1にキャプチャパルスが入力されると、コアカウンタ(CNT)の値が比較キャプチャレジスタに記録され、CC1IFがセットされる。CC1IFがすでにセットされている場合、CCIOFビットがセットされる。CC1IEビットがセットされていれば割込みが生成され、CC1DEビットがセットされていればDMA要求が生成される。入力キャプチャイベントは、イベント生成レジスタ(TIMx_SWEVGR)への書き込みによってソフトウェア的に生成可能である。

10.3.2 比較出力モード

　比較出力モードはタイマの基本機能の1つである。比較出力モードの原理は、コアカウンタ(CNT)の値が比較キャプチャレジスタの値と一致したときに、特定の変化または波形を出力することである。出力が固定High/Lowレベルか、レベル反転かは、R16_TIMx_CHCTLRx内のOCxMフィールドおよびR16_TIMx_CCER内のCCxPビットによって決定される。比較整合イベントが発生すると、CCxIFビットもセットされる。CCxIEビットが事前にセットされていれば割込みが生成され、CCxDEビットが事前にセットされていればDMA要求が生成される。

　比較出力モードの構成手順は以下のとおりである。

1. コアカウンタ(CNT)のクロックソースおよび自動リロード値を構成する。
2. 比較対象のカウント値を比較キャプチャレジスタ(R16_TIMx_CHxCVR)に設定する。
3. 割込みを生成する必要がある場合、CCxIEビットをセットする。
4. 比較レジスタのプリロードレジスタを無効にするため、OCxPEを0に保持する。
5. 出力モードを設定するため、OCxMフィールドおよびCCxPビットを構成する。
6. 出力を有効化するため、CCxEビットをセットする。
7. タイマを起動するため、CENビットをセットする。

10.3.3 強制出力モード

　タイマの比較キャプチャチャネルの出力パターンは、比較キャプチャレジスタのシャドウレジスタとコアカウンタとの比較に依存せず、ソフトウェアによって所定のレベルに強制出力することが可能である。これは、OCxMを100bに設定することでOCxREFをLowに強制、またはOCxMを101bに設定することでOCxREFをHighに強制することで実現される。

　なお、OCxMを100bまたは101bに強制設定した場合でも、内部コアカウンタと比較キャプチャレジスタによる比較処理は継続して行われ、対応するフラグは引き続きセットされ、割込みおよびDMA要求も生成される。

10.3.4 PWM入力モード

PWM入力モードは、PWMのデューティ比および周波数を測定するために使用される入力キャプチャモードの特殊ケースである。動作は入力キャプチャモードと同様であるが、以下の点が異なる:

PWMは2つの比較キャプチャチャネルを占有し、両チャネルの入力極性は反対に設定される。1つの信号はトリガ入力として設定され、SMSはリセットモードに設定される。

例として、TI1から入力されるPWM波の周期および周波数を測定するには、以下の操作が必要である。

1. TI1(TI1FP1)をIC1信号の入力として設定する。CC1Sを01bに設定する。
2. TI1FP1を立上りエッジ有効に設定する。CC1Pを0に保持する。
3. TI1(TI1FP2)をIC2信号の入力として設定する。CC2Sを10bに設定する。
4. TI1FP2を立下りエッジ有効に設定する。CC2Pを1に設定する。

5．TI1FP1をクロックソースの入力として選択する。TSを101bに設定する。
6．SMSをリセットモード、すなわち100bに設定する。
7．入力キャプチャを有効化する。CC1EおよびCC2Eをセットする。

これにより、比較キャプチャレジスタ1の値がPWMの周期となり、比較キャプチャレジスタ2の値がPWMのデューティ比となる。

備考：TI1FP1およびTI2FP2のみがスレーブモードコントローラに接続されているため、PWM入力モードはTIM1_CH1/TIM1_CH2でのみ使用可能である。

10.3.5 PWM出力モード

PWM出力モードはタイマの基本機能の1つである。PWM出力モードは、リロード値によってPWM周波数を決定し、キャプチャ比較レジスタによってデューティ比を決定する用途で最も一般的に使用される。

PWMモード1またはモード2を使用するには、OCxMフィールドに110bまたは111bを設定する。OCxPEビットをセットして比較レジスタのプリロードレジスタを有効化し、ARPEビットをセットしてプリロードレジスタの自動リロードを有効化する。プリロードレジスタの値は更新イベントが発生したときのみシャドウレジスタへ転送されるため、コアカウンタのカウント開始前にUGビットをセットして全レジスタを初期化する必要がある。

PWMモードでは、コアカウンタと比較キャプチャレジスタは常時比較を行っており、CMSビットの設定に応じて、タイマはエッジアラインまたはセンターアラインのPWM信号を出力可能である。

エッジアライン

エッジアラインが使用される場合、コアカウンタは加算または減算される。PWMモード1のシナリオでは、コアカウンタの値が比較キャプチャレジスタより大きいときOCxREFはHighとなり、比較キャプチャレジスタより小さいときOCxREFはLowとなる（例：コアカウンタがR16_TIMx_ATRLRの値まで増加し、0に戻る場合）。

センターアライン

センターアラインモードを使用する場合、コアカウンタは加算モードと減算モードを交互に実行し、コアカウンタの値と比較キャプチャレジスタの値が一致したときに、OCxREFは立上りおよび立下りジャンプを行う。ただし、3種類のセンターアラインモードにおいては、比較フラグがセットされるタイミングがそれぞれ異なる。センターアラインモードを使用する際は、コアカウンタの起動前にソフトウェア更新フラグ（UGビット）を生成することが推奨される。

10.3.6 補完出力およびデッドタイム挿入

比較キャプチャチャネルは通常2つの出力ピン（ただしチャネル4は1つのみ）を持ち、2つの補完信号（OCxおよびOCxN）を出力可能である。OCxおよびOCxNは、極性をCCxPおよびCCxNPビットで個別に設定でき、出力有効化はCCxEおよびCCxNEビットで個別に制御

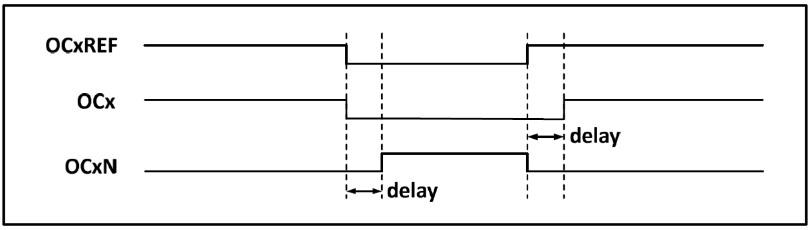
可能である。また、デッドタイムおよびその他の制御については、MOE、OIS、OISN、OSSI、OSSRビットによって個別に設定可能である。

OCxおよびOCxNの出力を同時に有効化すると、デッドタイムが挿入される。各チャネルには10-bitのデッドタイムジェネレータが搭載されている。OCxおよびOCxNはOCxREFとの関連によって生成される。両方の出力がHighアクティブである場合、OCxはOCxREFと同一であるが、OCxの立上りエッジはOCxREFに対して遅延を伴う。また、OCxNはOCxREFの反転信号であり、その立上りエッジはOCxREFの立下りエッジに対して遅延を伴う。

この遅延が有効出力幅よりも大きい場合、対応するパルスは生成されない。

OCx、OCxN、およびOCxREFの関係は、図10-4「補完出力とデッドタイム」に示す。

図10-4補完出力とデッドタイム



10.3.7 ブレーキ信号

ブレーキ信号が生成されると、出力有効信号および無効レベルは、MOE、OIS、OISN、OSSI、OSSRビットに従って変更される。ただし、OCxおよびOCxNは、いかなる時点でもアクティブレベルにはならない。

ブレーキイベントのソースは、ブレーキ入力ピンからの信号、またはCSS(クロックセーフティシステム)によって生成されるクロック障害イベントである可能性がある。

システムリセット後、ブレーキ機能はデフォルトで無効(MOEビットがLow)となっており、BKEビットを設定することでブレーキ機能が有効化される。入力ブレーキ信号の極性はBKPビットで設定可能であり、BKEおよびBKP信号は同時に書き込み可能である。ただし、実際の書き込みには1HBクロックの遅延があるため、正しく読み取るには1HBサイクル待機する必要がある。

ブレーキピンに選択されたレベルが入力されると、システムは以下の動作を行う:

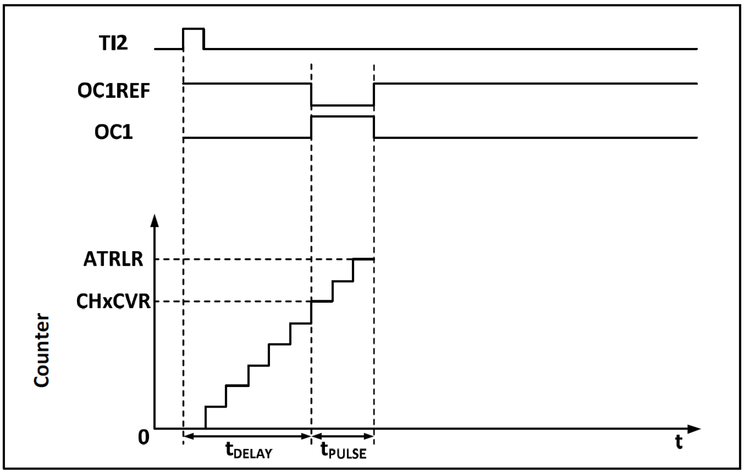
1. MOEビットが非同期にクリアされ、SOOIビットの設定に応じて出力が無効、アイドル、またはリセット状態に設定される。
2. MOEがクリアされた後、各出力チャネルはOISxによって決定されたレベルを出力する。
3. 補完出力を使用している場合:極性に応じて出力はヌル状態に設定される。
4. BIEビットが設定されている場合、BIFがセットされると割込みが生成される。BDEビットが設定されている場合、DMA要求が生成される。
5. AOEビットが設定されている場合、次の更新イベント(UEV)でMOEビットが自動的にセットされる。

10.3.8 単一パルスモード

単一パルスモードは、特定のイベントに応じてマイコンが遅延後にパルスを生成するために使用されるモードであり、パルスの遅延時間および幅はプログラム可能である。OPMビットを設定することで、次の更新イベント(UEV)が生成された際(カウンタが0に戻るタイミング)にコアカウンタの動作を停止させることができる。

図10-5に示すように、TI2入力ピンで立上りエッジが検出された直後に、遅延時間Tdelayを経て、OC1上に長さTpulseの正パルスを生成する。

図10-5単一パルスの生成



1. TI2をトリガとして設定する。
   CC2Sフィールドを01bに設定し、TI2FP2をTI2にマッピングする。
   CC2Pビットを0bに設定し、TI2FP2を立上りエッジ検出に構成する。
   TSフィールドを110bに設定し、TI2FP2をトリガソースとして指定する。
   SMSフィールドを110bに設定し、TI2FP2をカウンタ起動ソースとして使用する。
2. Tdelayは比較キャプチャレジスタの値によって決定され、Tpulseは自動リロード値レジスタおよび比較キャプチャレジスタの値によって決定される。

10.3.9 エンコーダモード

エンコーダモードはタイマの代表的な応用例であり、エンコーダの2相出力を取り込むために使用される。コアカウンタのカウント方向は、エンコーダの回転軸の方向と同期し、エンコーダから出力される各パルスにより、コアカウンタは1加算または1減算される。

エンコーダを使用するには、SMSフィールドを以下のいずれかに設定する:

- 001b:TI2エッジのみでカウント
- 010b:TI1エッジのみでカウント
- 011b:TI1およびTI2両エッジでカウント

また、エンコーダを比較キャプチャチャネル1および2の入力に接続し、リロード値レジスタに適切な値(大きめの値も可)を設定する。

　エンコーダモードでは、タイマ内部の比較キャプチャレジスタ、プリスケーラ、リピートカウントレジスタなどは通常通り動作する。

　以下の表は、カウント方向とエンコーダ信号の関係を示す。

表10-1 タイマのエンコーダモードにおけるカウント方向とエンコーダ信号の関係

Counting effective edges	The level of relative signals	TI1FP1 signal edge		TI2FP2 signal	
		Rising edge	Falling edge	Rising edge	Falling edge
Counting at TI1 edge only	high	Downward counting	Upward counting	No count	
	low	Upward counting	Downward counting		
Counting at TI2 edge only	high	No count		Upward counting	Downward counting
	low			Downward counting	Upward counting
Double edge counting at TI1 and TI2	high	Downward counting	Upward counting	Upward counting	Downward counting
	low	Upward counting	Downward counting	Downward counting	Upward counting

10.3.10 タイマ同期モード

　タイマはクロックパルス（TRGO）の出力が可能であり、他のタイマからの入力（ITRx）を受け取ることもできる。ITRxのソース（他のタイマからのTRGO）は、タイマごとに異なる。タイマ内部のトリガ接続関係は、表10-2に示されている。

表10-2 TIMx 内部トリガ接続関係

Slave timer	ITR0(TS=000)	ITR1(TS=001)	ITR2(TS=010)	ITR3(TS=011)
TIM1		TIM2		
TIM2	TIM1			

10.3.11 デバッグモード

システムがデバッグモードに入ると、タイマはDBGモジュールの設定に従って動作を継続するか、停止するかが決定される。

10.4 レジスタ詳細

表10-3 TIM1関連レジスター覧

Name	Access address	Description	Reset value
R16_TIM1_CTLR1	0x40012C00	Control register 1	0x0000
R16_TIM1_CTLR2	0x40012C04	Control register 1	0x0000
R16_TIM1_SMCFGR	0x40012C08	Slave mode control register	0x0000
R16_TIM1_DMAINTENR	0x40012C0C	DMA/interrupt enable register	0x0000
R16_TIM1_INTFR	0x40012C10	Interrupt status register	0x0000
R16_TIM1_SWEVGR	0x40012C14	Event generation register	0x0000
R16_TIM1_CHCTLR1	0x40012C18	Compare/capture control register 1	0x0000
R16_TIM1_CHCTLR2	0x40012C1C	Compare/capture control register 2	0x0000
R16_TIM1_CCER	0x40012C20	Compare/capture enable register	0x0000
R16_TIM1_CNT	0x40012C24	Counters	0x0000
R16_TIM1_PSC	0x40012C28	Counting clock prescaler	0x0000
R16_TIM1_ATRLR	0x40012C2C	Auto-reload value register	0xFFFF
R16_TIM1_RPTCR	0x40012C30	Recurring count value register	0x0000
R32_TIM1_CH1CVR	0x40012C34	Compare/capture register 1	0x00000000
R32_TIM1_CH2CVR	0x40012C38	Compare/capture register 2	0x00000000
R32_TIM1_CH3CVR	0x40012C3C	Compare/capture register 3	0x00000000
R32_TIM1_CH4CVR	0x40012C40	Compare/capture register 4	0x00000000
R16_TIM1_BDTR	0x40012C44	Brake and dead-time registers	0x0000
R16_TIM1_DMACFGR	0x40012C48	DMA control register	0x0000
R16_TIM1_DMAADR	0x40012C4C	DMA address register for continuous mode	0x0000

10.4.1 Control Register 1 (TIM1_CTLR1)

Offset address: 0x00

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CAP LVL	CAP OV	Reserved				CKD[1:0]		ARPE	CMS[1;0]		DIR	OPM	URS	UDIS	CEN

Bit	Name	Access	Description	Reset value
15	CAPLVL	RW	ダブルエッジキャプチャモードにおいては、キャプチャレベル表示機能が有効化される。 1:表示機能を有効化する 0:表示機能を無効化する 備考:有効化されている場合、CHxCVRのbit[16]は、キャプチャ値に対応する入力レベルを示す。	0
14	CAPOV	RW	キャプチャ値モード設定 1:キャプチャ前にカウンタオーバーフローが発生した場合、CHxCVRの値は0xFFFFとなる。 0:キャプチャ値は実際のカウンタ値である。	0
[13:10]	Reserved	RO	Reserved	0
[9:8]	CKD[1:0]	RW	これら2ビットは、タイマクロック(CK_INT)周波数に対する分周比を定義し、デッドタイムジェネレータおよびデジタルフィルタ(ETR、TIx)で使用されるデッドタイムおよびサンプリングクロックに適用される。 00:Tdts = Tck_int 01:Tdts = 2 × Tck_int 10:Tdts = 4 × Tck_int 11:予約(使用不可)	0
7	ARPE	RW	オートリロードプリロード有効化ビット 1:自動リロード値レジスタ(ATRLR)を有効化する。 0:自動リロード値レジスタ(ATRLR)は無効化される。	0
[6:5]	CMS[1:0]	RW	中央アラインメントモード選択 - 00:エッジアラインメントモード。カウンタは方向ビット(DIR)に基づいてアップまたはダウンカウントする。 - 01:中央アラインメントモード1。カウンタは交互にアップ・ダウンカウントする。出力として構成されたチャネル(CHCTLRxレジスタ内でCCxS=00)に対する出力比較割込みフラグビットは、カウンタがダウンカウントする時のみセットされる。 10:中央アラインメントモード2。カウンタは交互にアップ・ダウンカウントする。出力として構成されたチャネルに対する出力比較割込みフラグビットは、カウンタがアップカウントする時のみセットされる。 11:中央アラインメントモード3。カウンタは交互にアップ・ダウンカウントする。出力として構成されたチャネルに対する出力比較割込みフラグビットは、カウンタがアップ・ダウン両方向にカウントする際にセットされる。 備考:カウンタが有効化されている状態(CEN=1)では、エッジアラインメントモードから中央アラインメントモードへの遷移は許可されない。	0
4	DIR	RW	カウント方向 1:カウンタのカウントモードは減算カウントである。 0:カウンタのカウントモードは加算カウントである。 備考:このビットは、カウンタが中央アラインメントモードまたはエンコーダモードに構成されている場合は無効である。	0
3	OPM	RW	単一パルスモード	0

			1:次の更新イベント(UEV)が発生すると、カウンタは停止し(CENビットがクリアされる)、動作を終了する。 0:次の更新イベントが発生しても、カウンタは停止せず、動作を継続する。	
2	URS	RW	更新要求ソース(UEVイベントの発生源をソフトウェアで選択する) 1:更新割込みまたはDMA要求が有効化されている場合、カウンタのオーバーフロー／アンダーフロー時のみ更新割込みまたはDMA要求が生成される。 0:更新割込みまたはDMA要求が有効化されている場合、以下のいずれかのイベントによって更新割込みまたはDMA要求が生成される: ・カウンタのオーバーフロー／アンダーフロー ・UG位置の設定 ・スレーブモード制御によって生成された更新	0
1	UDIS	RW	更新イベント無効化(UEV) このビットにより、ソフトウェアはUEVイベントの生成を許可または無効化できる。 1:UEVは無効化される。更新イベントは生成されず、レジスタ(ARR、PSC、CCRx)はその値を保持する。ただし、UGビットがセットされるか、モードコントローラからハードウェアリセットが発行された場合、カウンタおよびプリスケーラは再初期化される。 0:UEVは許可される。以下のいずれかのイベントにより更新(UEV)イベントが生成される: ・カウンタのオーバーフロー／アンダーフロー ・UG位置の設定 ・スレーブモード制御によって生成された更新 キャッシュを持つレジスタは、プリロードされた値でロードされる。	0
0	CEN	RW	カウンタ有効化 1:カウンタを有効化する。 0:カウンタを無効化する。 備考:外部クロック、ゲートモード、およびエンコーダモードは、ソフトウェアでCENビットが設定されるまで動作しない。トリガモードでは、ハードウェアによってCENビットが自動的に設定される。	0

10.4.2 Control Register 2 (TIM1_CTLR2)

Offset address: 0x04

15	14	13	12	11	10	9	8	7	6 5 4	3	2	1	0
Reserved	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	TI1S	MMS[2:0]	CCDS	CCUS	Reserved	CCPC

Bit	Name	Access	Description	Reset value
15	Reserved	RO	Reserved	0
14	OIS4	RW	出力アイドル状態4(Output Idle State 4) 1:MOE=0 のとき、OC4N が実装されていれば、デッドタイム後に OC4=1 となる。 0:MOE=0 のとき、OC4N が実装されていれば、デッドタイム後に OC4=0 となる。 備考:このビットは、LOCK(TIMx_BDTR レジスタ)レベル1、2、または3が設定された後は変更できない。	0
13	OIS3N	RW	出力アイドル状態3(Output Idle State 3) 1:MOE = 0 のとき、デッドタイム後に OC3N = 1 となる。 0:MOE = 0 のとき、デッドタイム後に OC3N = 0 となる。 備考:このビットは、LOCK(TIMx_BDTR レジスタ)レベル1、2、または3が設定された後は変更できない。	0
12	OIS3	RW	出力アイドル状態3, OIS4を参照	0
11	OIS2N	RW	出力アイドル状態2, OIS3Nを参照	0
10	OIS2	RW	出力アイドル状態2, OIS4を参照	0
9	OIS1N	RW	出力アイドル状態1, OIS3Nを参照	0
8	OIS1	RW	出力アイドル状態1, OIS4を参照	0
7	TI1S	RW	TI1選択 1:TIMx_CH1、TIMx_CH2、および TIMx_CH3 ピンがヘテロダイン処理後に TI1 入力へ接続される。 0:TIMx_CH1 ピンが TI1 入力に直接接続される。	0
[6:4]	MMS[2:0]	RW	マスタモード選択(Master Mode Selection) これら3ビットは、マスタモードにおいてスレーブタイマへ送信される同期情報(TRGO)を選択するために使用される。選択可能な組み合わせは以下のとおりである: 000:Reset-TIMx_EGRレジスタのUGビットがトリガ出力(TRGO)として使用される。モードコントローラによるリセットモードでトリガ入力からリセットが生成された場合、TRGO信号は実際のリセットに対して遅延する。 001:Enable(有効化)– カウンタ有効化信号(CNT_EN)がトリガ出力(TRGO)として使用される。複数のタイマを同時に起動する必要がある場合や、一定期間タイマから有効化を制御する場合に使用される。CNT_EN信号は、CEN制御ビットにおけるトリガ入力信号とゲートモードの論理ORによって生成される。トリガ入力によってCNT_ENが制御される場合、マスタ/スレーブモードが選択されていない限り、TRGOには遅延が生じる(詳細はTIMx_SMCRレジスタのMSMビットの説明を参照)。 010:Update(更新)– 更新イベントがトリガ出力(TRGO)として選択される。例えば、マスタタイマのクロックをスレーブタイマのプリスケーラとして使用する場合に適用される。 011:Compare pulse(比較パルス)– キャプチャまたは比較が成功し、CC1IFフラグがセットされる(すでにHighであっても)と、トリガ出力(TRGO)は正パルスを送信する。	0

			100:Compare – OC1REF信号がトリガ出力(TRGO)として使用される。 101:Compare – OC2REF信号がトリガ出力(TRGO)として使用される。 110:Compare – OC3REF信号がトリガ出力(TRGO)として使用される。 111:Compare – OC4REF信号がトリガ出力(TRGO)として使用される。	
3	CCDS	RW	比較用キャプチャDMA選択(Capture the DMA selection for comparison) 1:更新イベントが発生したときに、CHxCVR に対して DMA 要求を送信する。 0:CHxCVR が発生したときに、CHxCVR に対して DMA 要求を生成する。	0
2	CCUS	RW	比較キャプチャ制御更新選択ビット(Compare Capture Control Update Selection Bits) 1:CCPCビットがセットされている場合、COMビットの設定またはTRGIの立ち上がりエッジによって更新が行われる。 0:CCPCビットがセットされている場合、COMビットの設定によってのみ更新が行われる。 備考:このビットは、補完出力(complementary outputs)を持つチャネルに対してのみ有効である。	0
1	Reserved	RO	Reserved	0
0	CCPC	RW	比較キャプチャプリロード制御ビット(Compare Capture Preload Control Bits) 1:CCxE、CCxNE、および OCxM ビットはプリロードされ、このビットがセットされている場合、COM ビットがセットされたときのみ更新される。 0:CCxE、CCxNE、および OCxM ビットはプリロードされない(即時反映される)。 備考:このビットは、補完出力(complementary outputs)を持つチャネルに対してのみ有効である。	0

10.4.3 Slave Mode Control Register (TIM1_SMCFGR)

Offset address: 0x08

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			Reserved	SMS[2:0]		

Bit	Name	Access	Description	Reset value
15	ETP	RO	ETRトリガ極性選択 このビットは、ETR入力を直接使用するか、反転して使用するかを選択する。 1:ETRを反転して入力する。Lowレベルまたは立下りエッジがアクティブ。 0:ETRをそのまま入力する。Highレベルまたは立上りエッジがアクティブ。	0
14	ECE	RW	外部クロックモード2有効化選択 1:外部クロックモード2を有効化する。 0:外部クロックモード2を無効化する。 備考1:外部クロックモード2と同時にスレーブモード(リセットモード、ゲートモード、トリガモード)を使用することが可能である。ただしこの場合、TRGIをETRFに接続することはできない(TSビットに '111' を設定することは不可)。 備考2:外部クロックモード1と外部クロックモード2の両方が有効化されている場合、外部クロック入力は ETRF に固定される。	0
[13:12]	ETPS [1:0]	RW	外部トリガプリスケーラ この設定は、ETRP信号の周波数を分周するために使用される。ETRP信号の周波数は最大でも TIM1CLK 周波数の 1/4 を超えてはならず、本設定により分周処理が可能である。 00:プリスケーラなし(ETRP信号をそのまま使用) 01:ETRP 周波数を 2 分の 1 に分周 10:ETRP 周波数を 4 分の 1 に分周 11:ETRP 周波数を 8 分の 1 に分周	0
[11:8]	ETF[3:0]	RW	外部トリガフィルタ設定 実際には、デジタルフィルタはイベントカウンタであり、一定のサンプリング周波数を用いて最大 N 件のイベントを記録し、出力にジャンプ(変化)を生成する。 0000: no filter, sampled in Fdts. 0001: Sampling frequency Fsampling = Fck_int, N=2. 0010: Sampling frequency Fsampling = Fck_int, N=4. 0011: Sampling frequency Fsampling = Fck_int, N=8. 0100: Sampling frequency Fsampling = Fdts/2, N = 6. 0101: Sampling frequency Fsampling = Fdts/2, N = 8. 0110: Sampling frequency Fsampling = Fdts/4, N = 6. 0111: Sampling frequency Fsampling = Fdts/4, N = 8. 1000: Sampling frequency Fsampling = Fdts/8, N = 6. 1001: Sampling frequency Fsampling = Fdts/8, N = 8. 1010: Sampling frequency Fsampling = Fdts/16, N = 5. 1011: Sampling frequency Fsampling = Fdts/16, N = 6. 1100: Sampling frequency Fsampling = Fdts/16, N = 8. 1101: Sampling frequency Fsampling = Fdts/32, N = 5. 1110: Sampling frequency Fsampling = Fdts/32, N = 6. 1111: Sampling frequency Fsampling = Fdts/32, N = 8.	0
7	MSM	RW	マスタ/スレーブモード選択 1:トリガ入力(TRGI)上のイベントは遅延され、現在のタイマ(TRGO経由)とスレーブタイマとの完全な同期が可能となる。これは、複数のタイマを単一の外部イベントに同期させる必要がある場合に有用である。 0:機能しない(同期制御は行われない)。	0

[6:4]	TS[2:0]	RW	トリガ選択フィールド これら3ビットは、カウンタの同期に使用されるトリガ入力ソースを選択する。 000:内部トリガ0(ITR0) 001:内部トリガ1(ITR1) 010:内部トリガ2(ITR2) 011:内部トリガ3(ITR3) 100:TI1のエッジ検出器(TI1F_ED) 101:フィルタ処理されたタイマ入力1(TI1FP1) 110:フィルタ処理されたタイマ入力2(TI2FP2) 111:外部トリガ入力(ETRF) ※上記の設定は、SMS(Slave Mode Selection)が 0 の場合にのみ変更可能である。詳細は Table 10-2 を参照のこと。	0
3	Reserved	RO	Reserved	0
[2:0]	SMS[2:0]	RW	入力モード選択フィールド(Input Mode Selection Field) コアカウンタのクロックおよびトリガモードを選択する。 000:内部クロック CK_INT により駆動される。 001:エンコーダモード1:TI2FP2 のエッジでカウントが増減し、TI1FP1 のレベルに応じて方向が決定される。 010:エンコーダモード2:TI1FP1 のエッジでカウントが増減し、TI2FP2 のレベルに応じて方向が決定される。 011:エンコーダモード3:TI1FP1 および TI2FP2 の両エッジでカウントが増減し、他の信号の入力レベルに応じて方向が決定される。 100:リセットモード:トリガ入力(TRGI)の立上りエッジでカウンタを初期化し、レジスタ更新信号を生成する。 101:ゲートモード:TRGI が High の間、カウンタクロックが有効となり、Low になると停止する。カウンタの開始/停止は TRGI により制御される。 110:トリガモード:TRGI の立上りエッジでカウンタが開始され、開始のみが制御される。 111:外部クロックモード1:選択されたトリガ入力(TRGI)の立上りエッジでカウンタが駆動される。	0

10.4.4 DMA/Interrupt Enable Register (TIM1_DMAINTENR)

Offset address: 0x0C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE

Bit	Name	Access	Description	Reset value
15	Reserved	RO	Reserved	0
14	TDE	RW	トリガDMA要求有効化ビット 1:有効 0:無効	0
13	COMDE	RW	COMのDMA要求有効化ビット 1:有効 0:無効	0
12	CC4DE	RW	比較／キャプチャチャネル4のDMA要求有効化ビット 1:有効 0:無効	0
11	CC3DE	RW	比較／キャプチャチャネル3のDMA要求有効化ビット 1:有効 0:無効	0
10	CC2DE	RW	比較／キャプチャチャネル2のDMA要求有効化ビット 1:有効 0:無効	0
9	CC1DE	RW	比較／キャプチャチャネル1のDMA要求有効化ビット 1:有効 0:無効	0
8	UDE	RW	更新DMA要求有効化ビット 1:有効 0:無効	0
7	BIE	RW	ブレーク割り込み有効化ビット 1:有効 0:無効	0
6	TIE	RW	トリガ割り込み有効化ビット 1:有効 0:無効	0
5	COMIE	RW	COM割り込み有効化ビット 1:有効 0:無効	0
4	CC4IE	RW	比較／キャプチャチャネル4割り込み有効化ビット 1:有効 0:無効	0
3	CC3IE	RW	比較／キャプチャチャネル3割り込み有効化ビット 1:有効 0:無効	0

2	CC2IE	RW	比較／キャプチャチャネル2割り込み有効化ビット 1:有効 0:無効	0
1	CC1IE	RW	比較／キャプチャチャネル1割り込み有効化ビット 1:有効 0:無効	0
0	UIE	RW	更新割り込む有効化ビット 1:有効 0:無効	0

10.4.5 Interrupt Status Register (TIM1_INTFR)

Offset address: 0x10

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			CC4OF	CC3OF	CC2OF	CC1OF	Reserved	BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF

Bit	Name	Access	Description	Reset value
[15:13]	Reserved	RO	Reserved	0
12	CC4OF	RW0	比較／キャプチャチャネル4繰り返しキャプチャフラグビット	0
11	CC3OF	RW0	比較／キャプチャチャネル3繰り返しキャプチャフラグビット	0
10	CC2OF	RW0	比較／キャプチャチャネル2繰り返しキャプチャフラグビット	0
9	CC1OF	RW0	比較／キャプチャチャネル1繰り返しキャプチャフラグビット このビットは、比較／キャプチャチャネルが入力キャプチャモードに設定されている場合にのみ使用される。 ハードウェアによってセットされ、ソフトウェアによる「0」書き込みでクリアされる。 1:CC1IFステータスがセットされたとき、カウンタの値がキャプチャ比較レジスタに格納される（繰り返しキャプチャが発生）。 0:重複キャプチャは生成されない。	0
8	Reserved	RO	Reserved	0
7	BIF	RW0	ブレーク割り込みフラグビット このビットは、ブレーク入力が有効になるとハードウェアによってセットされ、ソフトウェアによる「0」書き込みでクリア可能である。 1:ブレークピン入力において有効レベルが検出された。 0:ブレークイベントは発生していない。	0
6	TIF	RW0	トリガ割り込みフラグビット このビットは、トリガイベントが発生した際にハードウェアによってセットされ、ソフトウェアによる「0」書き込みでクリアされる。 - トリガイベントには、ゲートモード以外での TRGI 入力における有効エッジの検出、またはゲートモードにおける任意のエッジ検出が含まれる。 1:トリガイベントが生成された。 0:トリガイベントは未発生。	0
5	COMIF	RW0	COM割り込みフラグビット このビットは、COMイベントが発生した際にハードウェアによってセットされ、ソフトウェアによる「0」書き込みでクリアされる。 COMイベントには、CCxE（チャネル出力有効）、CCxNE（補完出力有効）、OCxM（出力比較モード）の更新が含まれる。 1:COMイベントが生成された。 0:COMイベントは未発生。	0
4	CC4IF	RW0	比較／キャプチャチャネル4割り込みフラグビット	0
3	CC3IF	RW0	比較／キャプチャチャネル3割り込みフラグビット	0
2	CC2IF	RW0	比較／キャプチャチャネル2割り込みフラグビット	0
1	CC1IF	RW0	比較／キャプチャチャネル1割り込みフラグビット このビットは、チャネル1（CH1）の動作モードに応じて異なる条件でハード	0

			ウェアによりセットされ、ソフトウェアによる「0」書き込みまたはレジスタ読み出しでクリアされる。 ■ 出力モード(比較モード)に設定されている場合: このビットは、コアカウンタの値が比較キャプチャレジスタ1(CCR1)の値と一致したときにセットされる(ただし、中心対称モードでは除く)。 1:コアカウンタの値が CCR1 と一致した。 0:一致していない。 ■ 入力モード(キャプチャモード)に設定されている場合: このビットは、キャプチャイベントが発生したときにセットされる。 ソフトウェアによる「0」書き込み、または CCR1 の読み出しによってクリアされる。 1:カウンタ値が CCR1 にキャプチャされた。 0:キャプチャイベントは発生していない。	
0	UIF	RW0	更新割り込みフラグビット(Update Interrupt Flag Bit) このビットは、更新イベントが生成されるとハードウェアによってセットされ、ソフトウェアによってクリアされる。 1:更新割り込みが生成された。 0:更新イベントは生成されていない。 更新イベントが生成される条件は以下のとおり: - UDIS = 0 の場合、リピートカウンタの値がオーバーフローまたはアンダーフローしたとき。 - URS = 0 かつ UDIS = 0 の場合、UGビットがセットされたとき、またはコアカウンタがソフトウェアによって再初期化されたとき。 - URS = 0 かつ UDIS = 0 の場合、CNTがトリガイベントによって再初期化されたとき。	0

10.4.6 Event Generation Register (TIM1_SWEVGR)

Offset address: 0x14

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								BG	TG	COMG	CC4G	CC3G	CC2G	CC1G	UG

Bit	Name	Access	Description	Reset value
[15:8]	Reserved	RO	Reserved	0
7	BG	WO	ブレークイベント生成ビット このビットは、ブレークイベントを生成するために使用され、ソフトウェアによってセットおよびクリアされる。 1:ブレークイベントを生成する。この時点で MOE=0、BIF=1 となり、対応する割り込みおよびDMAが有効であれば、それらが生成される。 0:何も行われない。	0
6	TG	WO	トリガイベント生成ビット このビットは、トリガイベントを生成するために使用され、ソフトウェアによってセットされ、ハードウェアによってクリアされる。 1:トリガイベントを生成する。TIF がセットされ、対応する割り込みおよび DMA が有効であれば、それらが生成される。 0:何も行われない。	0
5	COMG	WO	比較キャプチャ制御更新生成ビット 比較キャプチャ制御の更新イベントを生成するためのビットであり、ソフトウェアによってセットされ、ハードウェアによって自動的にクリアされる。 1:CCPC = 1 の場合、CCxE、CCxNE、OCxM ビットの更新を許可する。 0:何も行われない。 ※このビットは補完出力を持つチャネル(チャネル1、2、3)に対してのみ有効である。	0
4	CC4G	WO	比較キャプチャイベント生成ビット4	0
3	CC3G	WO	比較キャプチャイベント生成ビット3	0
2	CC2G	WO	比較キャプチャイベント生成ビット2	0
1	CC1G	WO	比較キャプチャイベント生成ビット1 比較キャプチャイベント1を生成するためのビットであり、ソフトウェアによってセットされ、ハードウェアによってクリアされる。 1:比較キャプチャチャネル1でイベントを生成する。 ・チャネル1が出力モードに設定されている場合:CC1IFビットをセットし、対応する割り込みおよびDMAが有効であればそれらを生成する。 ・チャネル1が入力モードに設定されている場合:現在のコアカウンタ値を比較キャプチャレジスタ1に格納し、CC1IFビットをセットして対応する割り込みおよびDMAを生成する(有効時)。CC1IFがすでにセットされている場合は、CC1OFビットをセットする。 0:何も行われない。	0
0	UG	WO	更新イベント生成ビット 更新イベントを生成するためのビットであり、ソフトウェアによってセットされ、ハードウェアによって自動的にクリアされる。 1:カウンタを初期化し、更新イベントを生成する。 0:何も行われない。 ※プリスケーラカウンタはゼロにクリアされるが、プリスケーラ係数は変更されない。 コアカウンタは中心対称モードまたはインクリメンタルカウントモードではゼロにクリアされ、デクリメンタルカウントモードではリロード値レジスタの値が	0

			設定される。	

10.4.7 Compare/Capture Control Register 1 (TIM1_CHCTLR1)

Offset address: 0x18

本チャネルは、入力（キャプチャモード）または出力（比較モード）として使用可能であり、チャネルの方向は対応する CCxS ビットによって定義される。本レジスタの他のビットは、入力モードと出力モードで異なる役割を持つ。

出力モードでは OCxx がチャネルの機能を定義し、入力モードでは ICxx がチャネルの機能を定義する。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2CE	OC2M[2:0]			OC2PE	OC2FE	CC2S[1:0]		OC1CE	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
IC2F[3:0]				IC2PSC[1:0]				IC1F[3:0]				IC1PSC[1:0]			

コンペアモード（ピンが出力方向）

Bit	Name	Access	Description	Reset value
15	OC2CE	RW	比較キャプチャチャネル2クリア有効ビット 1:ETRF入力がHighと検出された時点で、OC2REFビットをゼロにクリアする。 0:OC2REFはETRF入力の影響を受けない。	0
[14:12]	OC2M [2:0]	RW	比較キャプチャチャネル2モード設定フィールド この3ビットは出力参照信号 OC2REF の動作を定義し、OC2 および OC2N の値を決定する。OC2REF はアクティブ High であり、OC2 および OC2N のアクティブレベルは CC2P、CC2NP ビットに依存する。 000: フリーズ。キャプチャレジスタの値とコアカウンタとの比較は OC2REF に対して機能しない。 001: 有効レベルに強制設定。コアカウンタが比較キャプチャレジスタ2と一致したとき、OC2REF を High に強制する。 010: 無効レベルに強制設定。コアカウンタが比較キャプチャレジスタ2と一致したとき、OC2REF を Low に強制する。 011: 反転。コアカウンタが比較キャプチャレジスタ2と一致したとき、OC2REF のレベルを反転する。 100: 無効レベルに強制。OC2REF を Low に強制する。 101: 有効レベルに強制。OC2REF を High に強制する。 110: PWMモード1:アップカウント時、コアカウンタ値が比較キャプチャレジスタ値未満であればチャネル2はアクティブ、それ以外は非アクティブ。ダウンカウント時、コアカウンタ値が比較キャプチャレジスタ値を超えていれば非アクティブ（OC2REF=0）、それ以外はアクティブ（OC2REF=1）。 111: PWMモード2:アップカウント時、コアカウンタ値が比較キャプチャレジスタ値未満であれば非アクティブ、それ以外はアクティブ。ダウンカウント時、コアカウンタ値が比較キャプチャレジスタ値を超えていればアクティブ（OC2REF=1）、それ以外は非アクティブ（OC2REF=0）。 ※LOCK レベルが 3 に設定され、かつ CC2S=00b の場合、このビットは変更不可。PWMモード1または2では、比較結果が変化したとき、またはフリーズモードから出力比較モードのPWMモードに切り替えたときのみ OC2REF レベルが変化する。	0
11	OC2PE	RW	比較キャプチャレジスタ2プリロード有効ビット 1:比較キャプチャレジスタ2のプリロード機能を有効にする。読み書き操作はプリロードレジスタに対してのみ行われ、更新イベントが発生した際にプリロード値が現在のシャドウレジスタへロードされる。 0:プリロード機能を無効にする。比較キャプチャレジスタ2は任意のタイミングで書き込み可能であり、書き込まれた値は即座に有効となる。 ※LOCKレベルが3に設定され、かつCC2S=00である場合、このビットは変更不可。PWMモードは単一パルスモード（OPM=1）のみでプリロードレジスタを確認せずに使用可能であり、それ以外では動作が未定義となる。	0

10	OC2FE	RW	比較キャプチャチャネル2高速応答有効ビット このビットは、トリガ入力イベントに対する比較キャプチャチャネル出力の応答速度を高速化するために使用される。 1:フリップフロップへの入力の有効エッジが、比較一致が発生したかのように動作する。したがって、OC は比較結果に関係なく比較レベルに設定される。サンプルトリガの有効エッジからチャネル2出力までの遅延は 3 クロックサイクルに短縮される。 0:カウンタ値と比較キャプチャレジスタ1の値に基づいて、チャネル2は通常動作する。フリップフロップが開いていても、入力に有効エッジがある場合、チャネル2出力の最小遅延は 5 クロックサイクルである。 ※OC2FE はチャネルが PWM1 または PWM2 モードに設定されている場合のみ有効である。	0
[9:8]	CC2S [1:0]	RW	比較キャプチャチャネル2入力選択フィールド 00:比較キャプチャチャネル2は出力として構成される。 01:比較キャプチャチャネル2は入力として構成され、IC2 は TI2 にマッピングされる。 10:比較キャプチャチャネル2は入力として構成され、IC2 は TI1 にマッピングされる。 11:比較キャプチャチャネル2は入力として構成され、IC2 は TRC にマッピングされる。このモードは、TS ビットによって内部トリガ入力が選択されている場合にのみ動作する。 ※比較キャプチャチャネル2は、チャネルがオフ(CC2E=0)である場合のみ書き込み可能である。	0
7	OC1CE	RW	比較キャプチャチャネル1クリア有効ビット	0
[6:4]	OC1M [2:0]	RW	比較キャプチャチャネル1モード設定フィールド	0
3	OC1PE	RW	比較キャプチャレジスタ1プリロード有効ビット	0
2	OC1FE	RW	比較キャプチャチャネル1高速応答有効ビット	0
[1:0]	CC1S [2:0]	RW	比較キャプチャチャネル1入力選択フィールド	0

キャプチャモード(ピンが入力方向)

Bit	Name	Access	Description	Reset value
[15:12]	IC2F [3:0]	RW	入力キャプチャフィルタ2構成フィールド(Input Capture Filter 2 Configuration Field) これらのビットは、TI1入力のサンプリング周波数およびデジタルフィルタ長を設定する。 デジタルフィルタはイベントカウンタで構成され、N個のイベントを記録した後に出力にジャンプを生成する。 0000: no filter, sampled at fDTS. 1000: sampling frequency Fsampling = Fdts/8, N = 6. 0001: sampling frequency Fsampling = Fck_int, N = 2. 1001: sampling frequency Fsampling = Fdts/8, N = 8. 0010: sampling frequency Fsampling = Fck_int, N = 4. 1010: sampling frequency Fsampling = Fdts/16, N = 5. 0011: sampling frequency Fsampling = Fck_int, N = 8. 1011: sampling frequency Fsampling = Fdts/16, N = 6. 0100: sampling frequency Fsampling = Fdts/2, N = 6. 1100: sampling frequency Fsampling = Fdts/16, N = 8. 0101: sampling frequency Fsampling = Fdts/2, N = 8. 1101: sampling frequency Fsampling = Fdts/32, N = 5. 0110: sampling frequency Fsampling = Fdts/4, N = 6.	0

			1110: sampling frequency Fsampling = Fdts/32, N = 6. 0111: sampling frequency Fsampling = Fdts/4, N = 8. 1111: Sampling frequency Fsampling = Fdts/32, N = 8.	
[11:10]	IC2PSC [1:0]	RW	比較キャプチャチャネル2プリスケーラ構成フィールド（Compare Capture Channel 2 Prescaler Configuration Field） この2ビットは、比較キャプチャチャネル2に対するプリスケーラ係数を定義する。CC1E = 0 になると、プリスケーラはリセットされる。 00:プリスケーラなし。キャプチャ入力で検出された各エッジごとに1回キャプチャがトリガされる。 01:2イベントごとにキャプチャがトリガされる。 10:4イベントごとにキャプチャがトリガされる。 11:8イベントごとにキャプチャがトリガされる。	0
[9:8]	CC2S [1:0]	RW	比較／キャプチャチャネル2入力選択フィールド（Compare/Capture Channel 2 Input Selection Field） この2ビットは、チャネルの方向（入力／出力）および入力ピンの選択を定義する。 00:比較キャプチャチャネル2は出力として構成される。 01:比較キャプチャチャネル2は入力として構成され、IC2 は TI2 にマッピングされる。 10:比較キャプチャチャネル2は入力として構成され、IC2 は TI1 にマッピングされる。 11:比較キャプチャチャネル2は入力として構成され、IC2 は TRC にマッピングされる。このモードは、TS ビットによって内部トリガ入力が選択されている場合にのみ動作する。 ※CC2S はチャネルがオフ（CC2E = 0）のときのみ書き込み可能である。	0
[7:4]	IC1F [3:0]	RW	入力キャプチャフィルタ1構成フィールド	0
[3:2]	IC1PSC [1:0]	RW	比較キャプチャチャネル1プリスケーラ構成フィールド	0
[1:0]	CC1S [1:0]	RW	比較／キャプチャチャネル1入力選択フィールド	0

10.4.8 Compare/Capture Control Register 2 (TIM1_CHCTLR2)

Offset address: 0x1C

本チャネルは、入力（キャプチャモード）または出力（比較モード）として使用可能であり、チャネルの方向は対応する CCxS ビットによって定義される。本レジスタの他のビットは、入力モードと出力モードで異なる役割を持つ。

出力モードでは OCxx がチャネルの機能を定義し、入力モードでは ICxx がチャネルの機能を定義する。

TIM1_CHCTLR1と同内容、チェンネル番号が違う。

<table>
<tr><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr>
<tr><td>OC4CE</td><td colspan="3">OC4M[2:0]</td><td>OC4PE</td><td>OC4FE</td><td colspan="2" rowspan="2">CC4S[1:0]</td><td>OC3CE</td><td colspan="3">OC3M[2:0]</td><td>OC3PE</td><td>OC3FE</td><td colspan="2" rowspan="2">CC3S[1:0]</td></tr>
<tr><td colspan="4">IC4F[3:0]</td><td colspan="2">IC4PSC[1:0]</td><td colspan="4">IC3F[3:0]</td><td colspan="2">IC3PSC[1:0]</td></tr>
</table>

コンペアモード（ピンが出力方向）

Bit	Name	Access	Description	Reset value
15	OC4CE	RW	比較キャプチャチャネル4クリア有効ビット	0
[14:12]	OC4M[2:0]	RW	比較キャプチャチャネル4モード設定フィールド	0
11	OC4PE	RW	比較キャプチャレジスタ4プリロード有効ビット	0
10	OC4FE	RW	比較キャプチャチャネル4高速応答有効ビット	0
[9:8]	CC4S[1:0]	RW	比較キャプチャチャネル4入力選択フィールド	0
7	OC3CE	RW	比較キャプチャチャネル3クリア有効ビット	0
[6:4]	OC3M[2:0]	RW	比較キャプチャチャネル3モード設定フィールド	0
3	OC3PE	RW	比較キャプチャレジスタ3プリロード有効ビット	0
2	OC3FE	RW	比較キャプチャチャネル3高速応答有効ビット	0
[1:0]	CC3S[2:0]	RW	比較キャプチャチャネル3入力選択フィールド	0

キャプチャモード（ピンが入力方向）

Bit	Name	Access	Description	Reset value
[15:12]	IC4F[3:0]	RW	入力キャプチャフィルタ4構成フィールド	0
[11:10]	IC4PSC[1:0]	RW	比較キャプチャチャネル4プリスケーラ構成フィールド	0
[9:8]	CC4S[1:0]	RW	比較／キャプチャチャネル4入力選択フィールド	0
[7:4]	IC3F[3:0]	RW	入力キャプチャフィルタ3構成フィールド	0
[3:2]	IC3PSC[1:0]	RW	比較キャプチャチャネル3プリスケーラ構成フィールド	0

[1:0]	CC3S[1:0]	RW	比較／キャプチャチャネル3入力選択フィールド	0

10.4.9 Compare/Capture Enable Register 2 (TIM1_CCER)

Offset address: 0x20

15 14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E

Bit	Name	Access	Description	Reset value
[15:14]	Reserved	RO	Reserved	0
13	CC4P	RW	比較キャプチャチャネル4出力極性設定ビット	0
12	CC4E	RW	比較キャプチャチャネル4出力有効ビット	0
11	CC3NP	RW	比較キャプチャチャネル3補完出力極性設定ビット	0
10	CC3NE	RW	比較キャプチャチャネル3補完出力有効ビット	0
9	CC3P	RW	比較キャプチャチャネル3出力極性設定ビット	0
8	CC3E	RW	比較キャプチャチャネル3出力有効ビット	0
7	CC2NP	RW	比較キャプチャチャネル2補完出力極性設定ビット	0
6	CC2NE	RW	比較キャプチャチャネル2補完出力有効ビット	0
5	CC2P	RW	比較キャプチャチャネル2出力極性設定ビット	0
4	CC2E	RW	比較キャプチャチャネル2出力有効ビット	0
3	CC1NP	RW	比較キャプチャチャネル1補完出力極性設定ビット(Compare Capture Channel 1 Complementary Output Polarity Setting Bit)	0
2	CC1NE	RW	比較キャプチャチャネル1補完出力有効ビット(Compare Capture Channel 1 Complementary Output Enable Bit)	0
1	CC1P	RW	比較キャプチャチャネル1出力極性設定ビット(Compare Capture Channel 1 Output Polarity Setting Bit) CC1チャネルが出力として構成されている場合: 1:OC1 はアクティブ Low。 0:OC1 はアクティブ High。 CC1チャネルが入力として構成されている場合: このビットは、IC1 または IC1 の反転信号のいずれをトリガ/キャプチャ信号として使用するかを選択する。 1:反転。IC1 の立下りエッジでキャプチャが発生し、外部トリガとして使用する場合は IC1 が反転される。 0:非反転。IC1 の立上りエッジでキャプチャが発生し、外部トリガとして使用する場合は IC1 は反転されない。 ※TIMx_BDTR レジスタの LOCK ビットが 2 または 3 に設定されている場合、このビットは変更不可。	0
0	CC1E	RW	比較キャプチャチャネル1出力有効ビット(Compare Capture Channel 1 Output Enable Bit) CC1チャネルが出力として構成されている場合:	0

			1:ON。OC1信号が対応する出力ピンに出力され、その出力レベルは MOE、OSSI、OSSR、OIS1、OIS1N、CC1NE ビットの値に依存する。 0:OFF。OC1出力は無効化され、OC1の出力レベルは MOE、OSSI、OSSR、OIS1、OIS1N、CC1NE ビットの値に依存する。 CC1チャネルが入力として構成されている場合: このビットは、カウンタ値を TIMx_CCR1 レジスタにキャプチャできるかどうかを決定する。 1:キャプチャ有効。 0:キャプチャ無効。	

10.4.10 Counter for Advanced-control Timer (TIM1_CNT)

Offset address: 0x24

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															

Bit	Name	Access	Description	Reset value
[15:0]	CNT[15:0]	RW	タイマカウンタの現在値	0

10.4.11 Counting Clock Prescaler (TIM1_PSC)

Offset address: 0x28

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															

Bit	Name	Access	Description	Reset value
[15:0]	PSC [15:0]	RW	タイマのプリスケーラの分周比(The dividing factor of the prescaler of the timer) カウンタのクロック周波数は、分周器への入力周波数を (PSC + 1) で割った値に等しい。	0

10.4.12 Auto-reload Value Register (TIM1_ATRLR)

Offset address: 0x2C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ATRLR[15:0]															

Bit	Name	Access	Description	Reset value
[15:0]	ATRLR [15:0]	RW	この値がカウンタにリロードされる セクション10.2.3を参照のこと:ATRLRが動作し更新されるタイミングについて記載されている。 ATRLRが空(未設定)である場合、カウンタは停止する。	0xFFFF

10.4.13 Repeat Count Value Register (TIM1_RPTCR)

Offset address: 0x30

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								RPTCR[7:0]							

Bit	Name	Access	Description	Reset value
[15:8]	Reserved	RO	Reserved	0
[7:0]	RPTCR	RW	リピートカウンタ値	0

10.4.14 Compare/Capture Register 1 (TIM1_CH1CVR)

Offset address: 0x34

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															LEVEL1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH1CVR[15:0]															

Bit	Name	Access	Description	Reset value
[31:17]	Reserved	RO	Reserved	0
16	LEVEL1	RO	キャプチャされた値に対応するレベル指示ビット 入力キャプチャイベントによって取得された値が、どの論理レベル(High/Low)で発生したかを示す。	0
[15:0]	CH1CVR [15:0]	RW	比較／キャプチャレジスタチャネル1の値	0

10.4.15 Compare/Capture Register 2 (TIM1_CH2CVR)

Offset address: 0x38

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															LEVEL2

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH2CVR[15:0]															

Bit	Name	Access	Description	Reset value
[31:17]	Reserved	RO	Reserved	0
16	LEVEL2	RO	キャプチャされた値のレベル	0
[15:0]	CH2CVR[15:0]	RW	比較／キャプチャレジスタチャネル2の値	0

10.4.16 Compare/Capture Register 3 (TIM1_CH3CVR)

Offset address: 0x3C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															LEVEL3

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH3CVR[15:0]															

Bit	Name	Access	Description	Reset value
[31:17]	Reserved	RO	Reserved	0
16	LEVEL3	RO	キャプチャされた値のレベル	0
[15:0]	CH3CVR[15:0]	RW	比較／キャプチャレジスタチャネル3の値	0

10.4.17 Compare/Capture Register 4 (TIM1_CH4CVR)

Offset address: 0x40

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															LEVEL4

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH4CVR[15:0]															

Bit	Name	Access	Description	Reset value
[31:17]	Reserved	RO	Reserved	0
16	LEVEL4	RO	キャプチャされた値のレベル	0
[15:0]	CH4CVR[15:0]	RW	比較／キャプチャレジスタチャネル4の値	0

10.4.18 Brake and Dead-time Register (TIM1_BDTR)

Offset address: 0x44

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DTG[7:0]							

Bit	Name	Access	Description	Reset value
15	MOE	RW	主出力有効ビット(Main Output Enable Bit) 1:OCx および OCxN を出力として設定可能。 0:OCx および OCxN の出力を無効化、またはアイドル状態に強制する。 ※ブレーキ信号がアクティブになると、このビットは非同期にクリアされる。	0
14	AOE	RW	自動出力有効ビット(Auto Output Enable Bit) 1:MOE(主出力有効ビット)はソフトウェアによって設定されるか、次回の更新イベント(UEV)で自動的に設定される。 0:MOE はソフトウェアによってのみ設定可能。	0
13	BKP	RW	ブレーキ入力極性設定ビット(Brake Input Polarity Setting Bit) 1:ブレーキ入力はアクティブ High(High レベルでブレーキ動作)。 0:ブレーキ入力はアクティブ Low(Low レベルでブレーキ動作)。 ※LOCK レベルが 1 に設定されている場合、このビットは変更不可。 ※このビットへの書き込みは、HB クロック(High-speed Bus clock)によって同期される必要がある。	0
12	BKE	RW	ブレーキ機能有効ビット(Brake Function Enable Bit) 1:ブレーキ入力を有効にする。BKINピンからの信号がブレーキイベントとして処理される。 0:ブレーキ入力は無効。BKINピンの状態は無視される。 ※LOCKレベルが1に設定されている場合、このビットは変更不可。 ※このビットへの書き込みは、HBクロック(High-speed Bus clock)によって同期される必要がある。	0
11	OSSR	RW	出力初期状態設定ビット(Output Idle State Setting Bit) 1:タイマが動作していない状態で、CCxE=1 または CCxNE=1 に設定されると、まず OC/OCN をオンにして無効レベル(アイドル状態)を出力し、その後 OCx および OCxN の有効出力信号を 1 に設定する。 0:タイマが動作していない状態では、OC/OCN の出力は無効化される(出力されない)。 ※LOCK レベルが 1 に設定されている場合、このビットは変更不可。	0
10	OSSI	RW	出力初期状態選択ビット(Output Idle State Selection Bit) 1:タイマが動作していない状態で、CCxE = 1 または CCxNE = 1 に設定されると、まず OC/OCN はアイドルレベル(初期状態)を出力し、その後 OCx および OCxN の出力信号が有効(=1)になる。 0:タイマが動作していない状態では、OC/OCN の出力は無効化される(出力されない)。 ※LOCK レベルが 1 に設定されている場合、このビットは変更不可。	0
[9:8]	LOCK[1:0]	RW	機能ロック設定フィールド(Lock the Function Setting Field) 00:ロック機能を無効化する。 01:ロックレベル1。DTG、BKE、BKP、AOE、OISx、OISxN の各ビットは書き込み不可。 10:ロックレベル2。ロックレベル1のビットに加え、CC極性ビット(CCxP、CCxNP)、OSSR、OSSI も書き込み不可。 11:ロックレベル3。ロックレベル2のビットに加え、CC制御ビット(CCxE、CCxNE、CCxS、OCxM など)も書き込み不可。 ※システムリセット後、LOCKビットは一度のみ書き込み可能であり、次のリセットまで変更不可。	0

[7:0]	DIG[7:0]	RW	補完出力間のデッドタイムを定義する設定ビット(Dead-time setting bits that define the duration of the dead-time between complementary outputs) DTGフィールドの値に応じて、デッドタイム DT の算出式は以下の通り: DTG[7:5] = 0xx の場合: → DT = DTG[7:0] × Tdtg, ただし Tdtg = TDTS DTG[7:5] = 10x の場合: → DT = (64 + DTG[5:0]) × Tdtg, ただし Tdtg = 2 × TDTS DTG[7:5] = 110 の場合: → DT = (32 + DTG[4:0]) × Tdtg, ただし Tdtg = 8 × TDTS DTG[7:5] = 111 の場合: → DT = (32 + DTG[4:0]) × Tdtg, ただし Tdtg = 16 × TDTS	0

10.4.19 DMA Control Register (TIM1_DMACFGR)

Offset address: 0x48

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			DBL[4:0]					Reserved			DBA[4:0]				

Bit	Name	Access	Description	Reset value
[15:13]	Reserved	RO	Reserved	0
[12:8]	DBL[4:0]	RW	DMA連続転送の長さ(The length of the DMA continuous transmission) このフィールドの値に +1 した値が、実際のDMA連続転送回数となる。	o
[7:5]	Reserved	RO	Reserved	o
[4:0]	DBA[4:0]	RW	これらのビットは、DMA連続モードにおけるオフセットを定義する。 オフセットは、制御レジスタ1(Control Register 1)が存在するアドレスからの相対位置を示す。 DMAが連続モードで動作する際、転送先または転送元のアドレスはこのオフセット値に基づいて決定される。	0

10.4.20 DMA Address Register in Continuous Mode (TIM1_DMAADR)

Offset address: 0x4C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															

Bit	Name	Access	Description	Reset value
[15:0]	DMAB[15:0]	RW	連続モードにおけるDMAアドレス	0

Chapter 11 汎用タイマ（GPTM）

汎用タイマモジュールは、16ビットの自動リロード可能なタイマ TIM2 を含んでおり、パルス幅の測定や特定周波数のパルス生成、PWM波形の生成などに使用される。

本モジュールは、オートメーション制御や電源制御などの用途に利用可能である。

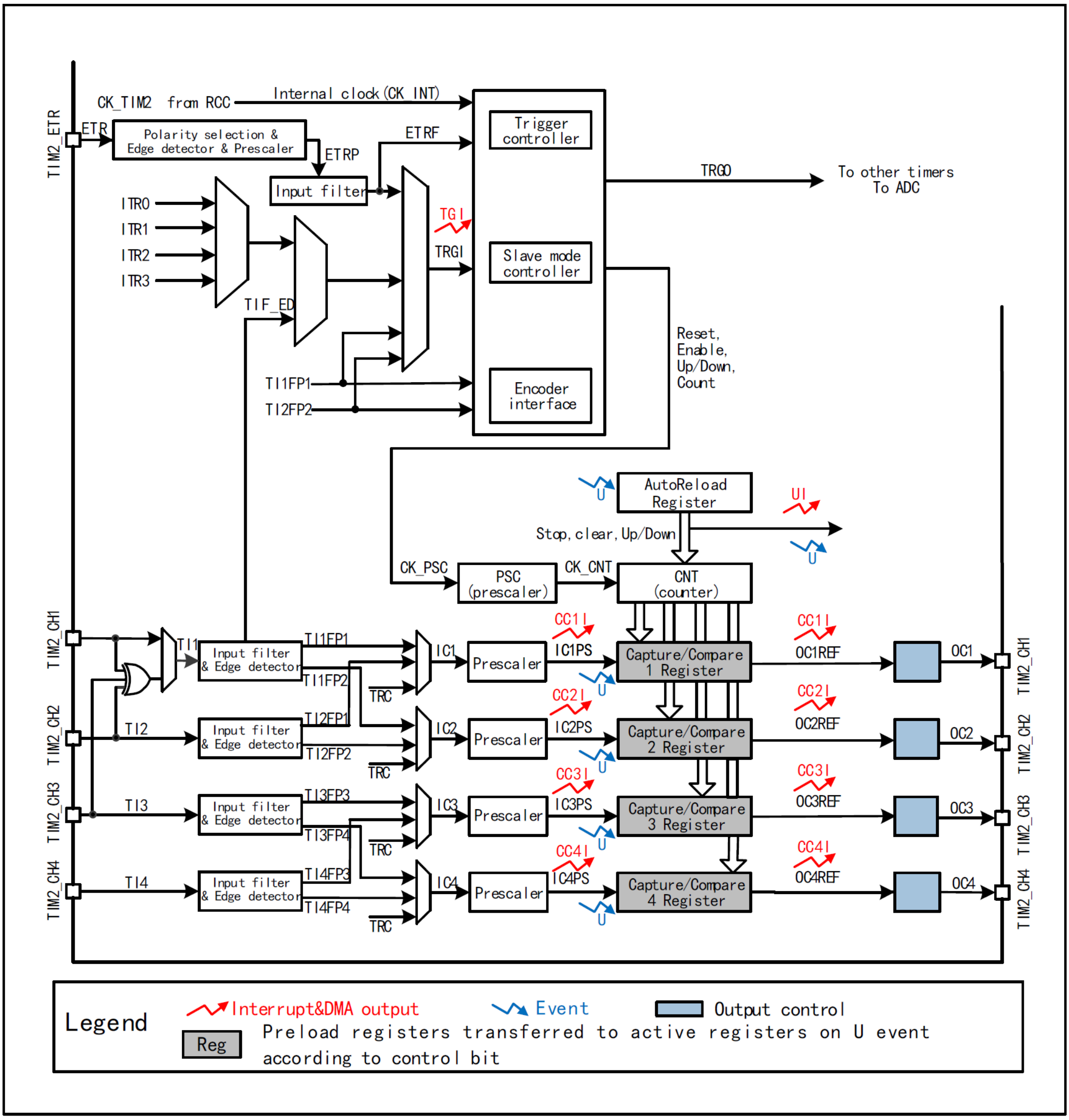
11.1 主な機能

汎用タイマの主な機能は以下の通りである:

- 16ビット自動リロードカウンタ
  インクリメンタル（加算）カウントモード、デクリメンタル（減算）カウントモード、加算・減算両対応モードをサポートする。
- 16ビットプリスケーラ
  1～65536の範囲で動的に調整可能な分周係数を持つ。
- 4つの独立した比較／キャプチャチャネルをサポート
- 各比較／キャプチャチャネルは複数の動作モードに対応
  例：入力キャプチャ、出力比較、PWM生成、単一パルス出力。
- 外部信号によるタイマ制御をサポート
- 複数モードでのDMAサポート
- インクリメンタルエンコーディング、タイマ間のカスケード接続および同期動作をサポート

11.2 原理および構造

図11-1　汎用タイマの構造ブロック図



11.2.1 概要

図11-1に示すように、汎用タイマの構造は大きく3つの部分に分けられる。すなわち、入力クロック部、コアカウンタ部、および比較キャプチャチャネル部である。

汎用タイマのクロックは、HBバスクロック（CK_INT）、外部クロック入力ピン（TIMx_ETR）、クロック出力を持つ他のタイマ（ITRx）、および比較キャプチャチャネルの入力（TIMx_CHx）から供給される。

　これらの入力クロック信号は、各種設定によるフィルタ処理や分周処理を経て CK_PSC クロックとなり、コアカウンタ部へ出力される。

　さらに、これらの複雑なクロックソースは TRGO 信号として、他のタイマやADCなどのペリフェラルへ出力することも可能である。

　汎用タイマのコアは、16ビットカウンタ（CNT）で構成される。

　CK_PSC はプリスケーラ（PSC）によって分周されて CK_CNT となり、最終的に CNT に供給される。

　CNT はインクリメンタル（加算）カウントモード、デクリメンタル（減算）カウントモード、加算・減算両対応モードをサポートし、各カウント周期の終端で初期値を再ロードするためのオートリロードレジスタ（ATRLR）を備える。

　汎用タイマは4組の比較キャプチャチャネルを持ち、それぞれが専用ピンからのパルス入力またはピンへの波形出力に対応している。

　各チャネルの比較キャプチャレジスタの入力は、フィルタ処理、分周、エッジ検出などの操作をサポートし、チャネル間の相互トリガも可能であり、コアカウンタCNTへのクロック供給源としても機能する。

　各比較キャプチャチャネルは、メインカウンタ（CNT）との比較によりパルス出力を行うための比較キャプチャレジスタ（CHxCVR）を備えている。

11.2.2 汎用タイマと高機能制御タイマの違い

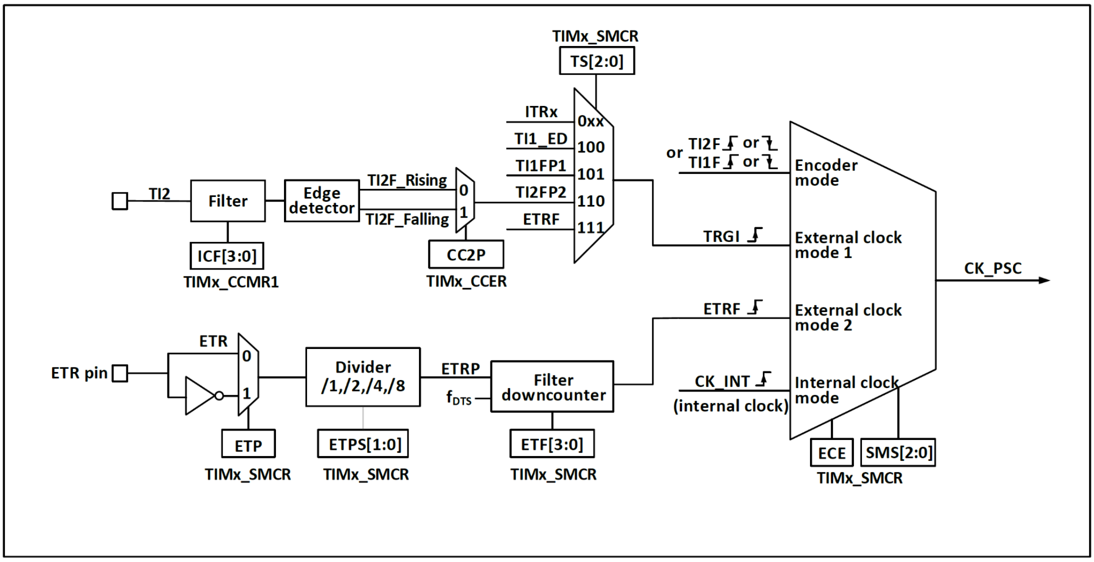
　高機能制御タイマと比較して、汎用タイマには以下の機能が欠けている：

1. コアカウンタのカウント周期を記録・制御するためのリピートカウントレジスタが汎用タイマには存在しない。
2. OCx/OCxN の補完出力やデッドタイム挿入機能（BDTR構成）が非対応。
3. BKIN入力やMOE制御による安全出力停止機構が汎用タイマには搭載されていない。

11.2.3 クロック入力

　この節では CK_PSC のソースについて説明する。

図11-2 汎用タイマ CK_PSC ソースブロック図



CK_PSC の選択可能な入力クロックは、以下の4つのカテゴリに分類される：

1. 外部クロックピン（ETR）入力経路：ETR → ETRP → ETRF
2. 内部 HB クロック入力経路：CK_INT
3. 比較／キャプチャチャネルピン（TIMx_CHx）からの経路：TIMx_CHx → TIx → TIxFPx
   この経路はエンコーダモードでも使用される。
4. 他の内部タイマからの入力：ITRx

CK_PSC ソースの SMS（Slave Mode Selection）による動作分類は、以下の4つに整理される：

1. 内部クロックソース（CK_INT）の選択
2. 外部クロックソースモード1
3. 外部クロックソースモード2
4. エンコーダモード

11.2.3.1 内部クロックソース（CK_INT）

汎用タイマが起動される際、SMSフィールドが 000b に設定されている場合、クロックソースとして内部クロック（CK_INT）が選択される。
このとき、CK_INT は CK_PSC として扱われる。

11.2.3.2 外部クロックソースモード1

SMSフィールドが 111b に設定されると、外部クロックソースモード1が有効になる。
このモードが有効になると、TRGI が CK_PSC のソースとして選択される。
このとき、ユーザは TRGI のソースを TS フィールドで構成する必要がある。

TS フィールドでは、以下のパルス種別をクロックソースとして選択可能:

1．内部トリガ(ITRx、x = 0, 1, 2, 3)
2．比較／キャプチャチャネル1をエッジ検出器を通した信号(TI1F_ED)
3．比較／キャプチャチャネルの TI1FP1、TI2FP2 信号
4．外部クロックピン入力からの信号(ETRF)

11.2.3.3 外部クロックソースモード2

外部トリガモード2を使用すると、外部クロックピン入力の立ち上がり／立ち下がりエッジごとにカウントが行われる。

ECE ビットが設定されると、外部クロックソースモード2が有効になる。

このモードでは、ETRF が CK_PSC として選択される。

ETR ピンは、オプションのインバータ(ETP)、分周器(ETPS)を通過して ETRP となり、さらにフィルタ(ETF)を通過して ETRF となる。

ECE ビットが設定され、SMS が 111b の場合、TS が ETRF を入力として選択したのと同等の動作となる。

11.2.3.4 エンコーダモード

SMS を 001b、010b、011b に設定すると、エンコーダモードが有効になる。

このモードでは、TI1FP1 および TI2FP2 の特定レベルを選択し、もう一方のジャンプエッジを信号として出力する。

外部エンコーダを使用する際に用いられるモードである。

詳細な機能については「11.3.7節」を参照。

11.2.4 カウンタとペリフェラル

CK_PSC はプリスケーラ(PSC)に入力され、分周処理が行われる。

PSC は 16 ビット構成であり、実際の分周係数は R16_TIMx_PSC + 1 に等しい。

CK_PSC は PSC を通過して CK_CNT(または CK_INT)となり、CNT に供給される。

R16_TIMx_PSC の値を変更しても即時反映されるわけではなく、更新イベント(Update Event)後に PSC に適用される。

更新イベントには、UG ビットのクリアやリセット操作が含まれる。

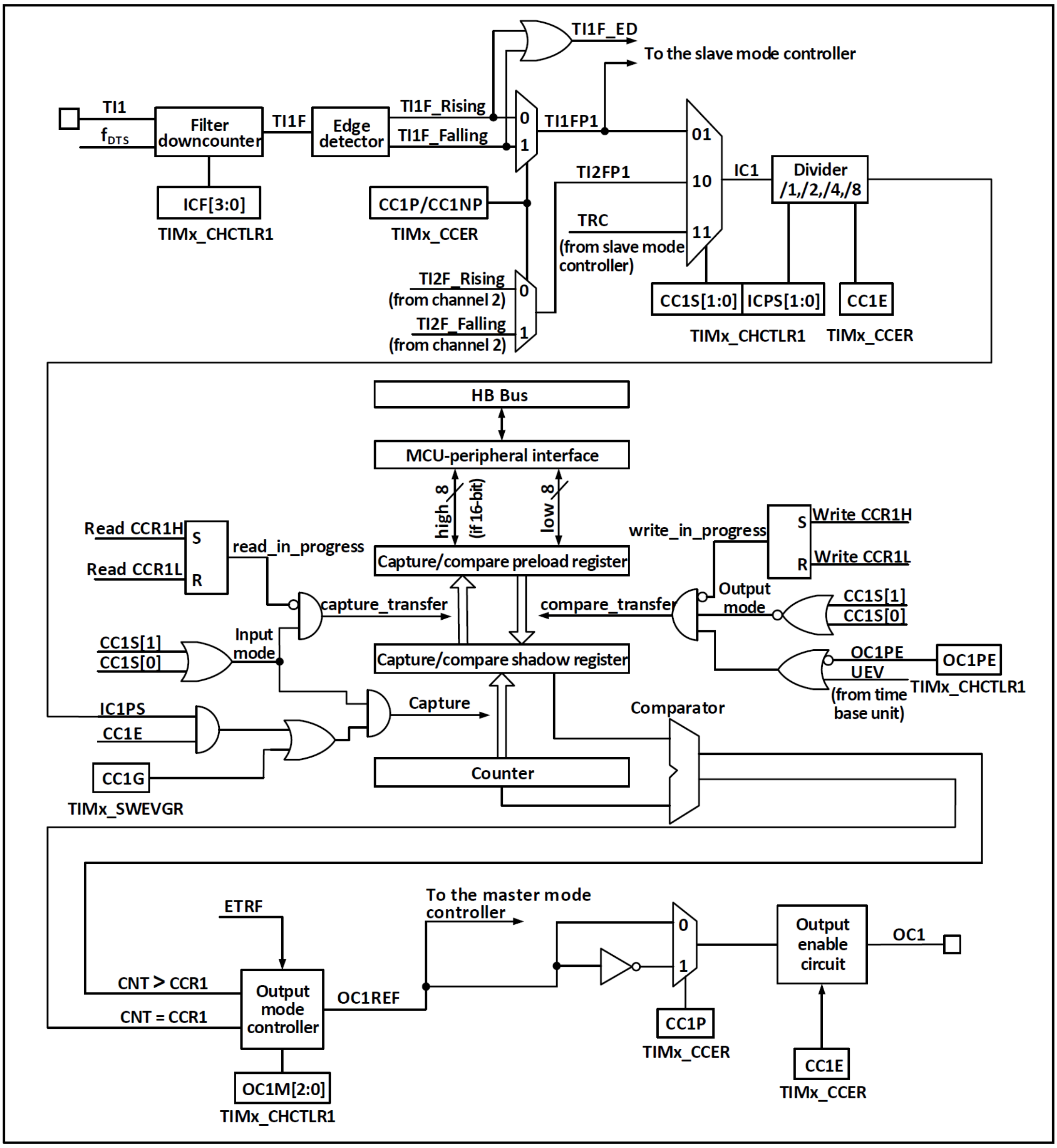
11.2.5 比較／キャプチャチャネル

タイマの複雑な機能を実現する中核は比較／キャプチャレジスタである。

このレジスタは、ペリフェラル入力部におけるデジタルフィルタ処理、分周、チャネル間マルチプレクス機能によって補完され、出力部ではコンパレータと出力制御によって構成される。

比較／キャプチャチャネルの構造ブロック図は「図11-3」に示す。

図11-3　比較／キャプチャチャネルの構造ブロック図



信号はチャネルxピンから入力され、オプションでTIxとして構成される（TI1のソースはCH1以外にも存在し得る。タイマのブロック図10-1を参照）。TI1はフィルタ（ICF[3:0]）

を通過してTI1Fを生成し、エッジ検出器によってTI1F_RisingおよびTI1F_Fallingに分割される。これら2つの信号はCC1Pによって選択され、TI1FP1が生成される。TI1FP1およびチャネル2からのTI2FP1はCC1Sに送られ、IC1として選択される。IC1はICPSによる分周後にコンペアキャプチャレジスタへ送られる。

コンペアキャプチャレジスタはプリロードレジスタとシャドウレジスタで構成され、読み書き処理はプリロードレジスタに対してのみ行われる。キャプチャモードでは、キャプチャはシャドウレジスタで発生し、その後プリロードレジスタへコピーされる。コンペアモードでは、プリロードレジスタの内容がシャドウレジスタへコピーされ、その後シャドウレジスタの内容がコアカウンタ(CNT)と比較される。

11.3 機能と実装

汎用タイマの複雑な機能は、タイマの比較／キャプチャチャネル、クロック入力回路、カウンタおよび周辺構成要素の操作によって実現される。

タイマへのクロック入力は、比較／キャプチャチャネルの入力を含む複数のクロックソースから供給可能である。比較／キャプチャホストチャネルの動作とクロックソースの選択が、その機能を直接的に決定する。

比較／キャプチャチャネルは双方向であり、入力モードと出力モードの両方で動作可能である。

11.3.1 入力キャプチャモード

入力キャプチャモードはタイマの基本機能の1つである。入力キャプチャモードの原理は、ICxPS信号上の所定のエッジが検出されたときにキャプチャイベントが生成され、カウンタの現在値がコンペアキャプチャレジスタ（R16_TIMx_CHCTLRx）にラッチされることである。キャプチャイベントが発生すると、CCxIF（R16_TIMx_INTFR内）がセットされ、有効であれば対応する割り込みまたはDMAが生成される。キャプチャイベント発生時にCCxIFがすでにセットされている場合、CCxOFビットがセットされる。CCxIFはソフトウェアによってクリア可能であり、コンペアキャプチャレジスタを読み取ることでハードウェアによってもクリアされる。CCxOFはソフトウェアによってクリアされる。

チャネル1を例に、入力キャプチャモードを使用する手順は以下の通りである。

1. CCxSドメインを設定してICx信号のソースを選択する。例えば、10bに設定してTI1FP1をIC1のソースとして選択する。デフォルト設定を使用しない場合、CCxSドメインはコンペアキャプチャモジュールを出力チャネルとして構成する。
2. ICxFドメインを設定してTI信号のデジタルフィルタを構成する。デジタルフィルタは所定の周波数で所定回数サンプリングを行い、その後ホップを出力する。このサンプリング周波数および回数はICxFによって決定される。
3. CCxPビットを設定してTIxFPxの極性を構成する。例えば、CC1PビットをLowに保ち、立ち上がりエッジジャンプを選択する。
4. ICxPSドメインを設定してICx信号のICxPS間のクロスオーバ係数を構成する。例えば、ICxPSを00bに保ち、クロスオーバなしとする。
5. CCxEビットを設定してコアカウンタ（CNT）の値をコンペアキャプチャレジスタにキャプチャ可能にする。CC1Eビットをセットする。
6. CCxIEおよびCCxDEビットを必要に応じて設定し、割り込みまたはDMAの有効化を決定する。これでコンペアキャプチャチャネルの設定が完了する。

TI1にキャプチャパルスが入力されると、コアカウンタ（CNT）の値がコンペアキャプチャレジスタに記録され、CC1IFがセットされ、CC1IFがすでにセットされていた場合はCCIOFビットがセットされる。CC1IEビットがセットされていれば割り込みが生成され、CC1DEがセットされていればDMAリクエストが生成される。入力キャプチャイベントは、イベント生成レジスタ（R16_TIMx_SWEVGR）への書き込みによってソフトウェアで生成可能である。

11.3.2 コンペア出力モード

コンペア出力モードはタイマの基本機能の1つである。コンペア出力モードの原理は、コアカウンタ(CNT)の値がコンペアキャプチャレジスタの値と一致したときに、特定の変化または波形を出力することである。OCxMフィールド(R16_TIMx_CHCTLRx内)およびCCxPビット(R16_TIMx_CCER内)は、出力が明確なHighまたはLowレベルか、レベル反転かを決定する。コンペア整合イベントが生成されると、CCxIFビットもセットされる。CCxIEビットが事前にセットされていれば、割り込みが生成される。CCxDEビットが事前にセットされていれば、DMAリクエストが生成される。

コンペア出力モードを構成するには、以下の手順を実行する。

1. コアカウンタ(CNT)のクロックソースおよびオートリロード値を設定する。
2. コンペア対象のカウント値をコンペアキャプチャレジスタ(R16_TIMx_CHxCVR)に設定する。
3. 割り込みを生成する必要がある場合は、CCxIEビットをセットする。
4. コンペアキャプチャレジスタのプリロードレジスタを無効にするため、OCxPEを0に保つ。
5. 出力モードを設定するため、OCxMフィールドおよびCCxPビットを設定する。
6. 出力を有効にするため、CCxEビットをセットする。
7. タイマを起動するため、CENビットをセットする。

11.3.3 強制出力モード

タイマのコンペアキャプチャチャネルの出力パターンは、コンペアキャプチャレジスタのシャドウレジスタとコアカウンタの比較に依存せず、ソフトウェアによって所定のレベルに強制することが可能である。これは、OCxMを100bに設定することでOCxREFをLowに強制し、またはOCxMを101bに設定することでOCxREFをHighに強制することで実現される。

なお、OCxMを100bまたは101bに強制設定しても、内部メインカウンタとコンペアキャプチャレジスタとの比較処理は継続され、対応するフラグは依然としてセットされ、割り込みおよびDMAリクエストも引き続き生成される。

11.3.4 PWM入力モード

PWM入力モードはPWMのデューティ比および周波数を測定するために使用され、入力キャプチャモードの特殊なケースである。動作は入力キャプチャモードと同様であるが、以下の点が異なる:PWMは2つのコンペアキャプチャチャネルを占有し、両チャネルの入力極性は反対に設定される。信号の一方はトリガ入力として設定され、SMSはリセットモードに設定される。

例えば、TI1から入力されるPWM波の周期および周波数を測定するには、以下の操作が必要である。

1. TI1(TI1FP1)をIC1信号の入力として設定する。CC1Sを01bに設定する。
2. TI1FP1を立ち上がりエッジ有効に設定する。CC1Pを0に保持する。
3. TI1(TI1FP2)をIC2信号の入力として設定する。CC2Sを10bに設定する。
4. TI1FP2を立ち下がりエッジ有効に設定する。CC2Pを1に設定する。
5. TI1FP1をクロックソースのソースとして選択する。TSを101bに設定する。
6. SMSをリセットモード、すなわち100bに設定する。
7. 入力キャプチャを有効にする。CC1EおよびCC2Eをセットする。

注:TI1FP1およびTI2FP2のみがスレーブモードコントローラに接続されているため、PWM入力モードはTIM1_CH1/TIM1_CH2でのみ使用可能である。

11.3.5 PWM出力モード

PWM出力モードはタイマの基本機能の1つである。PWM出力モードは、リロード値によってPWM周波数を決定し、コンペア／キャプチャレジスタによってデューティ比を決定するために最も一般的に使用される。

PWMモード1またはモード2を使用するには、OCxMフィールドに110bまたは111bを設定し、OCxPEビットをセットしてプリロードレジスタを有効にし、最後にARPEビットをセットしてプリロードレジスタの自動リロードを有効にする。

プリロードレジスタの値は、更新イベントが発生したときにのみシャドウレジスタへ送られるため、コアカウンタのカウント開始前にUGビットをセットして全レジスタを初期化する必要がある。PWMモードでは、コアカウンタとコンペア／キャプチャレジスタは常に比較を行っており、CMSビットに応じて、タイマはエッジアラインまたはセンターアラインのPWM信号を出力可能である。

エッジアライン

エッジアラインを使用する場合、コアカウンタはインクリメントまたはデクリメントされる。PWMモード1のシナリオでは、コアカウンタの値がコンペア／キャプチャレジスタより大きいときにOCxREFがHighに上昇し、コアカウンタの値がコンペア／キャプチャレジスタより小さいとき(例えば、コアカウンタがR16_TIMx_ATRLRの値まで増加し、0に戻るとき)にOCxREFがLowに下降する。

センターアライン

センターアラインモードを使用する場合、コアカウンタはインクリメントおよびデクリメントを交互に実行し、コアカウンタとコンペア／キャプチャレジスタの値が一致したときにOCxREFが上昇および下降ジャンプを行う。ただし、3つのセンターアラインモードでは比較フラグがセットされるタイミングが異なる。センターアラインモードを使用する場合、コアカウンタの開始前にソフトウェア更新フラグ(UGビット)を生成するのが望ましい。

11.3.6 シングルパルスモード

シングルパルスモードは、特定のイベントに応答して遅延後にパルスを生成することができ、遅延およびパルス幅はプログラム可能である。OPMビットを設定すると、次の更新イベントUEVが生成されたとき(カウンタが0に戻るとき)にコアカウンタが停止する。

図11-4 イベント生成とインパルス応答

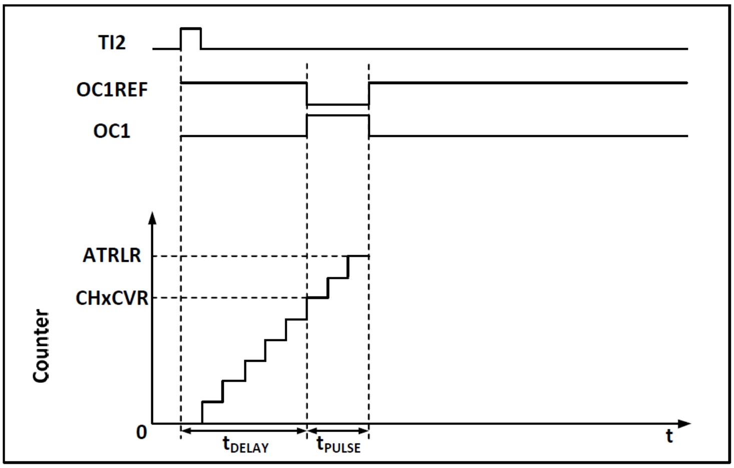


図11-4に示すように、TI2入力ピンで立ち上がりエッジが検出された時点から遅延Tdelayの後に、OC1上に長さTpulseの正パルスを生成する。

1. TI2をトリガに設定する。CC2Sフィールドを01bに設定してTI2FP2をTI2にマップする。CC2Pビットを0bに設定してTI2FP2を立ち上がりエッジ検出に設定する。TSフィールドを110bに設定してTI2FP2をトリガソースに設定する。SMSフィールドを110bに設定してTI2FP2をカウンタ起動に使用する。
2. Tdelayはコンペアキャプチャレジスタによって定義され、Tpulseはオートリロード値レジスタおよびコンペアキャプチャレジスタの値によって決定される。

11.3.7 エンコーダモード

エンコーダモードはタイマの代表的な応用であり、エンコーダの2相出力に対応するために使用される。コアカウンタのカウント方向はエンコーダの回転軸の方向と同期し、エンコーダから出力される各パルスによってコアカウンタが1加算または1減算される。

エンコーダを使用するには、SMSフィールドを以下のいずれかに設定する

- 001b:TI2エッジのみでカウント
- 010b:TI1エッジのみでカウント
- 011b:TI1およびTI2の両エッジでカウント

エンコーダはコンペアキャプチャチャネル1および2の入力に接続され、リロード値は十分大きな値に設定してオーバーフローを防止する。エンコーダモードでは、タイマの内部

コンペアキャプチャレジスタ、プリスケーラ、リピートカウントレジスタなどは通常通り動作する。

以下の表は、カウント方向とエンコーダ信号の関係を示す。

表11-1 タイマのエンコーダモードにおけるカウント方向とエンコーダ信号の関係

Counting effective edges	The level of relative signals	TI1FP1 signal edge		TI2FP2 signal edge	
		Rising edge	Falling edge	Rising edge	Falling edge
Counting at TI1 edge only	High	Downward counting	Upward counting	No count	
	Low	Upward counting	Downward counting		
Counting at TI2 edge only	High	No count		Upward counting	Downward counting
	Low			Downward counting	Upward counting
Double edge counting at TI1 and TI2	High	Downward counting	Upward counting	Upward counting	Downward counting
	Low	Upward counting	Downward counting	Downward counting	Upward counting

11.3.8 タイマ同期モード

タイマはクロックパルス（TRGO）を出力する機能を持ち、他のタイマからの入力（ITRx）を受け取ることも可能である。ITRxのソース（他のタイマからのTRGO）は、タイマごとに異なる。タイマ内部のトリガ接続を表11-2に示す。

表 11-2 GTPM内部トリガ接続関係

Slave timer	ITR0(TS=000)	ITR1(TS=001)	ITR2(TS=010)	ITR3(TS=011)
TIM2	TIM1			
TIM1		TIM2		

11.3.9 デバッグモード

システムがデバッグモードに入った場合に、タイマはDBGモジュールの設定に応じて動作を継続するか停止するかを制御可能である。

11.4 レジスタ詳細

表 11-3 TIM2関連レジスター覧

Name	Access address	Description	Reset value
R16_TIM2_CTLR1	0x40000000	TIM2 control register1	0x0000
R16_TIM2_CTLR2	0x40000004	TIM2 control register2	0x0000
R16_TIM2_SMCFGR	0x40000008	TIM2 Slave mode control register	0x0000
R16_TIM2_DMAINTENR	0x4000000C	TIM2 DMA/interrupt enable register	0x0000
R16_TIM2_INTFR	0x40000010	TIM2 interrupt status register	0x0000
R16_TIM2_SWEVGR	0x40000014	TIM2 event generation register	0x0000
R16_TIM2_CHCTLR1	0x40000018	TIM2 compare/capture control register1	0x0000
R16_TIM2_CHCTLR2	0x4000001C	TIM2 compare/capture control register2	0x0000
R16_TIM2_CCER	0x40000020	TIM2 compare/capture enable register	0x0000
R16_TIM2_CNT	0x40000024	TIM2 counter	0x0000
R16_TIM2_PSC	0x40000028	TIM2 count clock prescaler	0x0000
R16_TIM2_ATRLR	0x4000002C	TIM2 auto-reload register	0xFFFF
R32_TIM2_CH1CVR	0x40000034	TIM2 compare/capture register1	0x00000000
R32_TIM2_CH2CVR	0x40000038	TIM2 compare/capture register2	0x00000000
R32_TIM2_CH3CVR	0x4000003C	TIM2 compare/capture register3	0x00000000
R32_TIM2_CH4CVR	0x40000040	TIM2 compare/capture register4	0x00000000
R16_TIM2_DMACFGR	0x40000048	TIM2 DMA control register	0x0000
R16_TIM2_DMAADR	0x4000004C	TIM2 DMA address register in continuous mode	0x0000

11.4.1 Control Register 1 (TIM2_CTLR1)

Offset address: 0x00

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CAPLVL	CAPOV	Reserved				CKD[1:0]		ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN

Bit	Name	Access	Description	Reset value
15	CAPLVL	RW	ダブルエッジキャプチャモード キャプチャレベル指示機能が有効になる。 1:指示機能を有効にする 0:指示機能を無効にする 注:有効時、CHxCVRの[16]ビットはキャプチャ値に対応するレベルを示す。	0
14	CAPOV	RW	キャプチャ値モード 1:キャプチャ前にカウンタオーバーフローが発生した場合、CHxCVRの値は0xFFFFとなる 0:キャプチャ値は実際のカウンタ値である	0
[13:10]	Reserved	RO	Reserved	0
[9:8]	CKD [1:0]	RW	これら2ビットは、タイマクロック(CK_INT)周波数とデジタルフィルタで使用されるサンプリングクロックとの分周比を定義する。 00:Tdts = Tck_int 01:Tdts = 2 * Tck_int 10:Tdts = 4 * Tck_int 11:予約済み。	0
7	ARPE	RW	オートリロードプリロード有効ビット 1:オートリロード値レジスタ(ATRLR)を有効にする 0:オートリロード値レジスタ(ATRLR)を無効にする	0
[6:5]	CMS [1:0]	RW	中央アライメントモード選択。 00:エッジアライメントモード。カウンタは方向ビット(DIR)に基づいてアップまたはダウンカウントする。 01:中央アライメントモード1。カウンタは交互にアップおよびダウンカウントする。出力として構成されたチャネル(CCxS==00 in CHCTLRxレジスタ)の出力比較割り込みフラグビットは、カウンタがダウンカウントする場合にのみセットされる。 10:中央アライメントモード2。カウンタは交互にアップおよびダウンカウントする。出力として構成されたチャネル(CCxS==00 in CHCTLRxレジスタ)の出力比較割り込みフラグビットは、カウンタがアップカウントする場合にのみセットされる。 11:中央アライメントモード3。カウンタは交互にアップおよびダウンカウントする。出力として構成されたチャネル(CCxS==00 in CHCTLRxレジスタ)の出力比較割り込みフラグビットは、カウンタがアップおよびダウンカウントする両方の場合にセットされる。 注:カウンタが有効(CEN==1)のとき、エッジアライメントモードから中央アライメントモードへの遷移は許可されない。	0
4	DIR	RW	カウント方向 1:デクリメントカウントである 0:インクリメントカウントである 注:このビットは、カウンタが中央アライメントモードまたはエンコーダモードに構成されている場合は無効である。	0

3	OPM	RW	シングルパルスモード 1:次の更新イベントが発生すると、カウンタは停止し(CENビットがクリアされる) 0:次の更新イベントが発生しても、カウンタは停止しない	0
2	URS	RW	更新要求ソース。ソフトウェアによりUEVイベントのソースを選択する。 1:更新割り込みまたはDMA要求が有効な場合、カウンタがオーバーフロー／アンダーフローしたときのみ、更新割り込みまたはDMA要求が生成される 0:更新割り込み要求が有効な場合、以下のいずれかのイベントにより更新割り込み要求が生成される - カウンタのオーバーフロー／アンダーフロー - UG位置の設定 - モードコントローラから生成された更新	0
1	UDIS	RW	更新無効化。ソフトウェアはこのビットによりUEVイベントの生成を許可／禁止する。 1:UEVは無効。更新イベントは生成されず、レジスタ(ATRLR, PSC, CHCTLRx)はその値を保持する。UGビットがセットされるか、モードコントローラからハードウェアリセットが発行された場合、カウンタおよびプリスケーラは再初期化される 0:UEVは有効。以下のいずれかのイベントにより更新(UEV)イベントが生成される - カウンタのオーバーフロー／アンダーフロー - UG位置の設定 - モードコントローラから生成された更新。キャッシュ付きレジスタはプリロード値でロードされる	0
0	CEN	RW	カウンタ有効化(Counter enable)。 1:カウンタを有効にする 0:カウンタを無効にする 注:外部クロック、ゲートモード、およびエンコーダモードは、CENビットがソフトウェアでセットされるまで動作しない。トリガモードでは、CENビットがハードウェアで自動的にセットされる場合がある。	0

11.4.2 Control Register 2 (TIM2_CTLR2)

Offset address: 0x04

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								TI1S	MMS[2:0]			CCDS	Reserved		

Bit	Name	Access	Description	Reset value
[15:8]	Reserved	RO	Reserved	0
7	TI1S	RW	TI1選択 1:TIMx_CH1、TIMx_CH2、およびTIMx_CH3ピンがヘテロダイン処理後にTI1入力へ接続される 0:TIMx_CH1ピンがTI1入力へ直接接続される	0
[6:4]	MMS[2:0]	RW	マスタモード選択:これら3ビットは、マスタモードにおいてスレーブタイマへ送信される同期情報(TRGO)を選択するために使用される。組み合わせは以下のとおり 000:Reset-UGビットがトリガ出力(TRGO)として使用される。リセットがトリガ入力(リセットモードのモードコントローラから)によって生成された場合、TRGO信号は実際のリセットに対して遅延する 001:Enable - カウンタ有効信号CNT_ENがトリガ出力(TRGO)として使用される。複数のタイマを同時に起動する必要がある場合や、一定期間タイマから有効制御を行う必要がある場合に使用される。カウンタ有効信号は、CEN制御ビットのトリガ入力信号とゲートモードの論理ORによって生成される。カウンタ有効信号がトリガ入力によって制御される場合、マスタ／スレーブモードが選択されていない限り、TRGOに遅延が発生する(MSMビットの説明はTIMx_SMCFGRレジスタを参照) 010:更新イベントがトリガ出力(TRGO)として選択される。例として、マスタタイマのクロックをスレーブタイマのプリスケーラとして使用する場合など 011:キャプチャまたは比較一致が発生し、CC1IFフラグがセットされる際(すでにHighであっても)、出力に正パルス(TRGO)を送信する比較パルス 100:OC1REF信号がトリガ出力(TRGO)として使用される 101:OC2REF信号がトリガ出力(TRGO)として使用される 110:OC3REF信号がトリガ出力(TRGO)として使用される 111:OC4REF信号がトリガ出力(TRGO)として使用される	0
3	CCDS	RW	1:更新イベントが発生したときに、CHxCVRに対してDMA要求を送信する 0:CHxCVRが発生したときに、CHxCVRに対してDMA要求を生成する	0
[2:0]	Reserved	RO	Reserved	0

11.4.3 Slave Mode Control Register (TIM2_SMCFGR)

Offset address: 0x08

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			Reserved	SMS[2:0]		

Bit	Name	Access	Description	Reset value
15	ETP	RO	ETRトリガ極性選択。このビットはETRを直接入力するか、ETRの反転を入力するかを選択する。 1:ETRを反転、アクティブLowまたは立下りエッジ 0:ETR、アクティブHighまたは立上りエッジ	0
14	ECE	RW	外部クロックモード2有効化選択。 1:外部クロックモード2を有効にする 0:外部クロックモード2を無効にする 注1:外部クロックモード2と同時にスレーブモード(リセットモード、ゲートモード、トリガモード)を使用可能。ただし、この場合TRGIをETRFに接続することはできない(TSビットを111bに設定不可) 注2:外部クロックモード1と外部クロックモード2の両方が有効な場合、外部クロック入力はETRFとなる	0
[13:12]	ETPS [1:0]	RW	外部トリガ信号(ETRP)は分周され、この信号の最大周波数はTIMxCLK周波数の1/4を超えてはならない。本ドメインにより分周可能である。 00:プリスケーラなし 01:ETRP周波数を2分周 10:ETRP周波数を4分周 11:ETRP周波数を8分周	0
[11:8]	ETF[3:0]	RW	外部トリガフィルタ設定。実際にはデジタルフィルタはイベントカウンタであり、一定のサンプリング周波数でイベントを記録し、N回記録された後に出力が変化する。 0000: no filter, sampled in Fdts. 0001: sampling frequency Fsampling = Fck_int, N = 2. 0010: sampling frequency Fsampling = Fck_int, N = 4. 0011: Sampling frequency Fsampling = Fck_int, N = 8. 0100: sampling frequency Fsampling = Fdts/2, N = 6. 0101: sampling frequency Fsampling = Fdts/2, N = 8. 0110: sampling frequency Fsampling = Fdts/4, N = 6. 0111: sampling frequency Fsampling = Fdts/4, N = 8. 1000: sampling frequency Fsampling = Fdts/8, N = 6. 1001: sampling frequency Fsampling = Fdts/8, N = 8. 1010: sampling frequency Fsampling = Fdts/16, N = 5. 1011: sampling frequency Fsampling = Fdts/16, N = 6. 1100: sampling frequency Fsampling = Fdts/16, N = 8. 1101: sampling frequency Fsampling = Fdts/32, N = 5. 1110: sampling frequency Fsampling = Fdts/32, N = 6. 1111: Sampling frequency Fsampling = Fdts/32, N = 8.	0
7	MSM	RW	マスタ／スレーブモード選択。 1:トリガ入力(TRGI)のイベントが遅延され、現在のタイマ(TRGO経由)とスレーブタイマとの完全な同期が可能となる。複数のタイマを単一の外部イベントに同期させる必要がある場合に有用である 0:機能しない	0
[6:4]	TS[2:0]	RW	トリガ選択フィールド。これら3ビットは、カウンタの同期に使用されるトリガ入力ソースを選択する。 - 000:内部トリガ0 (ITR0) - 001:内部トリガ1 (ITR1) - 010:内部トリガ2 (ITR2)	0

			- 011:内部トリガ3 (ITR3) - 100:TI1のエッジ検出器 (TI1F_ED) - 101:フィルタ済みタイマ入力1 (TI1FP1) - 110:フィルタ済みタイマ入力2 (TI2FP2) - 111:外部トリガ入力 (ETRF) ※上記設定は、SMSビットが0の場合にのみ変更可能である。	
3	Reserved	RO	Reserved	0
[2:0]	SMS[2:0]	RW	入力モード選択フィールド。コアカウンタのクロックおよびトリガモードを選択する。 - 000:内部クロックCK_INTによって駆動される - 001:エンコーダモード1。TI2FP2のエッジでカウントし、TI1FP1のレベルに応じてインクリメント／デクリメント - 010:エンコーダモード2。TI1FP1のエッジでカウントし、TI2FP2のレベルに応じてインクリメント／デクリメント - 011:エンコーダモード3。TI1FP1およびTI2FP2の両エッジでカウントし、他の信号の入力レベルに応じてインクリメント／デクリメント - 100:リセットモード。トリガ入力(TRGI)の立上りエッジでカウンタを初期化し、レジスタ更新信号を生成 - 101:ゲートモード。トリガ入力(TRGI)がHighの間カウンタクロックが有効となり、Lowになると停止。開始／停止はTRGIにより制御 - 110:トリガモード。TRGIの立上りエッジでカウンタが開始され、開始のみが制御される - 111:外部クロックモード1。選択されたトリガ入力(TRGI)の立上りエッジでカウンタが駆動される	0

11.4.4 TIM2 DMA/Interrupt Enable Register (TIM2_DMAINTENR)

Offset address: 0x0C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	TDE	Reserved	CC4DE	CC3DE	CC2DE	CC1DE	UDE	Reserved	TIE	Reserved	CC4IE	CC3IE	CC2IE	CC1IE	UIE

Bit	Name	Access	Description	Reset value
15	Reserved	RO	Reserved	0
14	TDE	RW	トリガDMA要求有効化ビット 1:有効 0:無効	0
13	Reserved	RO	Reserved	0
12	CC4DE	RW	比較／キャプチャチャネル4のDMA要求有効化ビット 1:有効 0:無効	0
11	CC3DE	RW	比較／キャプチャチャネル3のDMA要求有効化ビット 1:有効 0:無効	0
10	CC2DE	RW	比較／キャプチャチャネル2のDMA要求有効化ビット 1:有効 0:無効	0
9	CC1DE	RW	比較／キャプチャチャネル1のDMA要求有効化ビット 1:有効 0:無効	0
8	UDE	RW	更新DMA要求有効化ビット 1:有効 0:無効	0
7	Reserved	RO	Reserved	0
6	TIE	RW	トリガ割り込み有効化ビット 1:有効 0:無効	0
5	Reserved	RO	Reserved	0
4	CC4IE	RW	比較／キャプチャチャネル4の割り込み有効化ビット 1:有効 0:無効	0
3	CC3IE	RW	比較／キャプチャチャネル3の割り込み有効化ビット 1:有効 0:無効	0
2	CC2IE	RW	比較／キャプチャチャネル2の割り込み有効化ビット 1:有効 0:無効	0
1	CC1IE	RW	比較／キャプチャチャネル1の割り込み有効化ビット	0

			1:有効 0:無効	
0	UIE	RW	更新割り込み有効化ビット 1:有効 0:無効	0

11.4.5 Interrupt Status Register (TIM2_INTFR)

Offset address: 0x10

15-13	12	11	10	9	8-7	6	5	4	3	2	1	0
Reserved	CC4OF	CC3OF	CC2OF	CC1OF	Reserved	TIF	Reserved	CC4IF	CC3IF	CC2IF	CC1IF	UIF

Bit	Name	Access	Description	Reset value
[15:13]	Reserved	RO	Reserved	0
12	CC4OF	RW0	比較／キャプチャチャネル4の繰り返しキャプチャフラグビット	0
11	CC3OF	RW0	比較／キャプチャチャネル3の繰り返しキャプチャフラグビット	0
10	CC2OF	RW0	比較／キャプチャチャネル2の繰り返しキャプチャフラグビット	0
9	CC1OF	RW0	比較／キャプチャチャネル1の繰り返しキャプチャフラグビット CH4CVRが読み取られる前に新たなキャプチャイベントが発生した場合にフラグがセットされる。 このフラグはハードウェアによってセットされ、ソフトウェアによる0の書き込みでクリアされる。 1:CC1IFステータスがセットされたとき、カウンタの値がキャプチャ比較レジスタに格納される 0:重複キャプチャは生成されない	0
[8:7]	Reserved	RO	Reserved	0
6	TIF		トリガ割り込みフラグビット このビットは、ハードウェアによってトリガイベントが発生したときにセットされ、ソフトウェアによって0を書き込むことでクリアされる。 トリガイベントには、ゲートモード以外のモードでTRGI入力に有効なエッジが検出された場合、またはゲートモードで任意のエッジが検出された場合が含まれる。 1:トリガイベントが生成された； 0:トリガイベントは生成されていない。	0
5	Reserved	RO	Reserved	0
4	CC4IF		比較／キャプチャチャネル4の割り込みフラグビット	0
3	CC3IF		比較／キャプチャチャネル3の割り込みフラグビット	0
2	CC2IF		比較／キャプチャチャネル2の割り込みフラグビット	0
1	CC1IF		比較／キャプチャチャネル1の割り込みフラグビット チャネルが出力モードに設定されている場合： このビットは、カウンタ値が比較値と一致したときにハードウェアによってセットされる（中心対称モードを除く）。ソフトウェアによってクリアされる。 1:コアカウンタの値が比較／キャプチャレジスタ1の値と一致した 0:一致していない チャネルが入力モードに設定されている場合： このビットは、キャプチャイベントが発生したときにハードウェアによってセットされ、ソフトウェアまたは比較／キャプチャレジスタの読み出しによってクリアされる。 1:カウンタ値が比較／キャプチャレジスタ1にキャプチャされた 0:入力キャプチャは生成されていない	0

0	UIF		更新割り込みフラグビット このビットは、更新イベントが生成されたときにハードウェアによってセットされ、ソフトウェアによってクリアされる。 1:更新割り込みが生成された 0:更新イベントは生成されていない 以下の条件で更新イベントが生成される: UDIS == 0 の場合、繰り返しカウンタ値がオーバーフローまたはアンダーフローしたとき URS == 0 かつ UDIS == 0 の場合、UGビットがセットされたとき、またはコアカウンタがソフトウェアによって再初期化されたとき URS == 0 かつ UDIS == 0 の場合、CNTカウンタがトリガイベントによって再初期化されたとき	0

11.4.6 TIM2 Event Generation Register (TIM2_SWEVGR)

Offset address: 0x14

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									TG	Reserved	CC4G	CC3G	CC2G	CC1G	UG

Bit	Name	Access	Description	Reset value
[15:7]	Reserved	RO	Reserved	0
6	TG	WO	トリガイベント生成ビット このビットはソフトウェアによってセットされ、ハードウェアによってクリアされる。トリガイベントを生成するために使用される。 1:トリガイベントを生成し、TIFがセットされ、有効化されていれば対応する割り込みおよびDMAが生成される 0:何も行われない	0
5	Reserved	RO	Reserved	0
4	CC4G	WO	比較／キャプチャイベント4生成ビット	0
3	CC3G	WO	比較／キャプチャイベント3生成ビット	0
2	CC2G	WO	比較／キャプチャイベント2生成ビット	0
1	CC1G	WO	比較／キャプチャイベント1生成ビット このビットはソフトウェアによってセットされ、ハードウェアによってクリアされる。比較／キャプチャイベントを生成するために使用される。 1:比較／キャプチャチャネル1でイベントを生成する 　チャネル1が出力モードに設定されている場合:CC1IFビットをセットし、有効であれば対応する割り込みおよびDMAを生成する 　チャネル1が入力モードに設定されている場合:現在のコアカウンタ値を比較／キャプチャレジスタ1にキャプチャし、CC1IFビットをセットし、有効であれば対応する割り込みおよびDMAを生成する 　CC1IFがすでにセットされている場合:CC1OFビットをセットする 0:何も行われない。	0
0	UG	WO	更新イベント生成ビット 更新イベントを生成するために使用される。 このビットはソフトウェアによってセットされ、ハードウェアによって自動的にクリアされる。 1:カウンタを初期化し、更新イベントを生成する 0:何も行われない ※プリスケーラカウンタも0にクリアされるが、プリスケーラ係数は変更されない。 コアカウンタは中心対称モードまたはインクリメンタルカウントモードの場合にクリアされ、デクリメンタルカウントモードの場合はリロード値レジスタの値が設定される。	0

11.4.7 Compare/Capture Control Register 1 (TIM2_CHCTLR1)

Offset address: 0x18

　このチャネルは、入力(キャプチャモード)または出力(コンペアモード)として使用可能であり、チャネルの方向は対応するCCxSビットによって定義される。このレジスタの他のビットは、入力モードと出力モードで異なる目的に使用される。

　OCxxは出力モードにおけるチャネルの機能を定義し、ICxxは入力モードにおけるチャネルの機能を定義する。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2CE	OC2M[2:0]			OC2PE	OC2FE	CC2S[1:0]		OC1CE	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
IC2F[3:0]				IC2PSC[1:0]				IC1F[3:0]				IC1PSC[1:0]			

比較モード(ピン方向は出力)

Bit	Name	Access	Description	Reset value
15	OC2CE	RW	比較／キャプチャチャネル2クリア有効化ビット 1:ETRF入力がHighと検出された時点でOC2REFビットを0にクリアする 0:OC2REFはETRF入力の影響を受けない	0
[14:12]	OC2M [2:0]	RW	比較／キャプチャチャネル2モード設定フィールド この3ビットは出力参照信号OC2REFの動作を定義し、OC2およびOC2Nの値を決定する。OC2REFはアクティブHighであり、OC2およびOC2NのアクティブレベルはCC2P、CC2NPビットに依存する。 000:フリーズ。キャプチャレジスタ値とコアカウンタとの比較はOC2REFに対して機能しない 001:有効レベルに強制設定。コアカウンタ値が比較／キャプチャレジスタ2と一致したときにOC2REFをHighに強制設定 010:無効レベルに強制設定。コアカウンタ値が比較／キャプチャレジスタ2と一致したときにOC2REFをLowに強制設定 011:反転。コアカウンタ値が比較／キャプチャレジスタ2と一致したときにOC2REFのレベルを反転 100:無効レベルに強制設定。OC2REFをLowに強制設定 101:有効レベルに強制設定。OC2REFをHighに強制設定 110:PWMモード1:アップカウント時、コアカウンタ値が比較／キャプチャレジスタ値未満でチャネル2がアクティブ(OC2REF=1)、それ以外は非アクティブ(OC2REF=0) 　　ダウンカウント時、コアカウンタ値が比較／キャプチャレジスタ値を超えるとチャネル2は非アクティブ(OC2REF=0)、それ以外はアクティブ(OC2REF=1) 111:PWMモード2:アップカウント時、コアカウンタ値が比較／キャプチャレジスタ値未満でチャネル2は非アクティブ(OC2REF=0)、それ以外はアクティブ(OC2REF=1) 　　ダウンカウント時、コアカウンタ値が比較／キャプチャレジスタ値を超えるとチャネル2はアクティブ(OC2REF=1)、それ以外は非アクティブ(OC2REF=0) ※LOCKレベルが3に設定され、CC2S==00bの場合、このビットは変更不可。PWMモード1またはPWMモード2では、比較結果が変化した場合、またはフリーズモードから出力比較モードのPWMモードに切り替えた場合のみOC2REFレベルが変化する。	0
11	OC2PE	RW	比較／キャプチャレジスタ2プリロード有効化ビット 1:比較／キャプチャレジスタ2のプリロード機能を有効化する。読み書き操作はプリロードレジスタに対してのみ行われ、更新イベント発生時にプリロード	0

			値が現在のシャドウレジスタにロードされる 0:比較／キャプチャレジスタ2のプリロード機能を無効化する。レジスタは任意のタイミングで書き込み可能であり、書き込まれた値は即時に有効となる ※LOCKレベルが3かつCC2S==00の場合、このビットは変更不可。PWMモードは、プリロードレジスタを確認せずに単一パルスモード（OPM==1）のみで使用可能。それ以外の場合、動作は未定義。	
10	OC2FE	RW	比較／キャプチャチャネル2高速応答有効化ビット このビットは、比較／キャプチャチャネルの出力がトリガ入力イベントに対して高速に応答するために使用される。 1:フリップフロップへの入力の有効エッジが比較一致として動作し、比較結果に関係なくOCが比較レベルに設定される。サンプルトリガの有効エッジからチャネル2出力までの遅延は3クロックサイクルに短縮される 0:カウンタ値と比較／キャプチャレジスタ1の値に基づいてチャネル2が通常動作し、フリップフロップが開いていても有効エッジから出力までの最小遅延は5クロックサイクルとなる ※OC2FEはチャネルがPWM1またはPWM2モードに設定されている場合のみ有効。	0
[9:8]	CC2S [1:0]	RW	比較／キャプチャチャネル2入力選択フィールド 00:比較／キャプチャチャネル2は出力として構成される 01:比較／キャプチャチャネル2は入力として構成され、IC2はTI2にマッピングされる 10:比較／キャプチャチャネル2は入力として構成され、IC2はTI1にマッピングされる 11:比較／キャプチャチャネル2は入力として構成され、IC2はTRCにマッピングされる。このモードは、TSビットによって内部トリガ入力が選択されている場合にのみ動作する ※比較／キャプチャチャネル2は、チャネルがオフ（CC2E==0）のときのみ書き込み可能。	0
7	OC1CE	RW	比較／キャプチャチャネル1クリア有効化ビット	0
[6:4]	OC1M [2:0]	RW	比較／キャプチャチャネル1モード設定フィールド	0
3	OC1PE	RW	比較／キャプチャレジスタ1プリロード有効化ビット	0
2	OC1FE	RW	比較／キャプチャチャネル1高速応答有効化ビット	0
[1:0]	CC1S [1:0]	RW	比較／キャプチャチャネル1入力選択フィールド	0

キャプチャモード（ピン方向は入力）。

Bit	Name	Access	Description	Reset value
[15:12]	IC2F [3:0]	RW	入力キャプチャフィルタ2設定フィールド これらのビットはTI1入力のサンプリング周波数およびデジタルフィルタ長を設定する。デジタルフィルタはイベントカウンタで構成され、Nイベントを記録後に出力ジャンプを生成する。 0000: no filter, sampled at fDTS. 1000: sampling frequency Fsampling = Fdts/8, N = 6. 0001: sampling frequency Fsampling = Fck_int, N = 2. 1001: sampling frequency Fsampling = Fdts/8, N = 8. 0010: sampling frequency Fsampling = Fck_int, N = 4. 1010: sampling frequency Fsampling = Fdts/16, N = 5.	0

			0011: sampling frequency Fsampling = Fck_int, N = 8. 1011: sampling frequency Fsampling = Fdts/16, N = 6. 0100: sampling frequency Fsampling = Fdts/2, N = 6. 1100: sampling frequency Fsampling = Fdts/16, N = 8. 0101: sampling frequency Fsampling = Fdts/2, N = 8. 1101: sampling frequency Fsampling = Fdts/32, N = 5. 0110: sampling frequency Fsampling = Fdts/4, N = 6. 1110: sampling frequency Fsampling = Fdts/32, N = 6. 0111: sampling frequency Fsampling = Fdts/4, N = 8. 1111: Sampling frequency Fsampling = Fdts/32, N = 8.	
[11:10]	IC2PSC [1:0]	RW	比較／キャプチャチャネル2プリスケーラ設定フィールド この2ビットは、比較／キャプチャチャネル2のプリスケーラ係数を定義する。CC1E==0になるとプリスケーラはリセットされる。 00:プリスケーラなし。キャプチャ入力で検出された各エッジに対して1回キャプチャがトリガされる 01:2イベントごとにキャプチャがトリガされる 10:4イベントごとにキャプチャがトリガされる 11:8イベントごとにキャプチャがトリガされる	0
[9:8]	CC2S [1:0]	RW	比較／キャプチャチャネル2入力選択フィールド この2ビットはチャネルの方向（入力／出力）および入力ピンの選択を定義する。 00:比較／キャプチャチャネル1は出力として構成される 01:比較／キャプチャチャネル1は入力として構成され、IC1はTI1にマッピングされる 10:比較／キャプチャチャネル1は入力として構成され、IC1はTI2にマッピングされる 11:比較／キャプチャチャネル1は入力として構成され、IC1はTRCにマッピングされる。このモードは、TSビットによって内部トリガ入力が選択されている場合にのみ動作する ※CC1Sはチャネルがオフ（CC1E==0）のときのみ書き込み可能。	0
[7:4]	IC1F [3:0]	RW	入力キャプチャフィルタ1設定フィールド	0
[3:2]	IC1PSC [1:0]	RW	比較／キャプチャチャネル1プリスケーラ設定フィールド	0
[1:0]	CC1S [1:0]	RW	比較／キャプチャチャネル1入力選択フィールド	0

11.4.8 Compare/Capture Control Register 2 (TIM2_CHCTLR2)

Offset address: 0x1C

このチャネルは、入力(キャプチャモード)または出力(コンペアモード)として使用可能であり、チャネルの方向は対応するCCxSビットによって定義される。このレジスタの他のビットは、入力モードと出力モードで異なる目的に使用される。

OCxxは出力モードにおけるチャネルの機能を定義し、ICxxは入力モードにおけるチャネルの機能を定義する。

<table>
<tr><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr>
<tr><td>OC4CE</td><td colspan="3">OC4M[2:0]</td><td>OC4PE</td><td>OC4FE</td><td colspan="2" rowspan="2">CC4S[1:0]</td><td>OC3CE</td><td colspan="3">OC3M[2:0]</td><td>OC3PE</td><td>OC3FE</td><td colspan="2" rowspan="2">CC3S[1:0]</td></tr>
<tr><td colspan="4">IC4F[3:0]</td><td colspan="2">IC4PSC[1:0]</td><td colspan="4">IC3F[3:0]</td><td colspan="2">IC3PSC[1:0]</td></tr>
</table>

比較モード(ピン方向は出力)

Bit	Name	Access	Description	Reset value
15	OC4CE	RW	比較／キャプチャチャネル4クリア有効化ビット	0
[14:12]	OC4M[2:0]	RW	比較／キャプチャチャネル4モード設定フィールド	0
11	OC4PE	RW	比較／キャプチャレジスタ4プリロード有効化ビット	0
10	OC4FE	RW	比較／キャプチャチャネル4高速応答有効化ビット	0
[9:8]	CC4S[1:0]	RW	比較／キャプチャチャネル4入力選択フィールド	0
7	OC3CE	RW	比較／キャプチャチャネル3クリア有効化ビット。	0
[6:4]	OC3M[2:0]	RW	比較／キャプチャチャネル3モード設定フィールド。	0
3	OC3PE	RW	比較／キャプチャレジスタ3プリロード有効化ビット。	0
2	OC3FE	RW	比較／キャプチャチャネル3高速応答有効化ビット。	0
[1:0]	CC3S[1:0]	RW	比較／キャプチャチャネル3入力選択フィールド。	0

キャプチャモード(ピン方向は入力)

Bit	Name	Access	Description	Reset value
[15:12]	IC4F[3:0]	RW	入力キャプチャフィルタ4設定フィールド	0
[11:10]	IC4PSC[1:0]	RW	比較／キャプチャチャネル4プリスケーラ設定フィールド	0
[9:8]	CC4S[1:0]	RW	比較／キャプチャチャネル4入力選択フィールド	0
[7:4]	IC3F[3:0]	RW	入力キャプチャフィルタ3設定フィールド	0
[3:2]	IC3PSC[1:0]	RW	比較／キャプチャチャネル3プリスケーラ設定フィールド	0
[1:0]	CC3S[1:0]	RW	比較／キャプチャチャネル3入力選択フィールド	0

11.4.9 Compare/Capture Enable Register (TIM2_CCER)

Offset address: 0x20

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		CC4P	CC4E	Reserved		CC3P	CC3E	Reserved		CC2P	CC2E	Reserved		CC1P	CC1E

Bit	Name	Access	Description	Reset value
[15:14]	Reserved	RO	Reserved	0
13	CC4P	RW	比較／キャプチャチャネル4出力極性設定ビット	0
12	CC4E	RW	比較／キャプチャチャネル4出力有効化ビット	0
[11:10]	Reserved	RO	Reserved	0
9	CC3P	RW	比較／キャプチャチャネル3出力極性設定ビット	0
8	CC3E	RW	比較／キャプチャチャネル3出力有効化ビット	0
[7:6]	Reserved	RO	Reserved	0
5	CC2P	RW	比較／キャプチャチャネル2出力極性設定ビット	0
4	CC2E	RW	比較／キャプチャチャネル2出力有効化ビット	0
[3:2]	Reserved	RO	Reserved	0
1	CC1P	RW	比較／キャプチャチャネル1出力極性設定ビット CC1チャネルが出力として構成されている場合 1:OC1はアクティブLow 0:OC1はアクティブHigh CC1チャネルが入力として構成されている場合 このビットは、IC1またはIC1の反転信号のどちらをトリガ／キャプチャ信号として使用するかを選択する 1:反転。IC1のフォールエッジでキャプチャが発生し、外部トリガとして使用する場合はIC1が反転される 0:非反転。IC1のライズエッジでキャプチャが発生し、外部トリガとして使用する場合はIC1は反転されない ※LOCKレベル(TIMx_BDTRレジスタのLOCKビット)が2または3に設定されている場合、このビットは変更不可。	0
0	CC1E	RW	比較／キャプチャチャネル1出力有効化ビット CC1チャネルが出力として構成されている場合 1:ON。OC1信号が対応する出力ピンに出力され、出力レベルはMOE、OSSI、OSSR、OIS1、OIS1N、CC1NEビットの値に依存する 0:OFF。OC1出力は無効化され、OC1の出力レベルはMOE、OSSI、OSSR、OIS1、OIS1N、CC1NEビットの値に依存する CC1チャネルが入力として構成されている場合 このビットは、カウンタ値をTIMx_CCR1レジスタにキャプチャできるかどうかを決定する 1:キャプチャ有効 0:キャプチャ無効	0

11.4.10 Counter for General-purpose Timer (TIM2_CNT)

Offset address: 0x24

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															

Bit	Name	Access	Description	Reset value
[15:0]	CNT[15:0]	RW	タイマカウンタの現在値	0

11.4.11 Counting Clock Prescaler (TIM2_PSC)

Offset address: 0x28

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															

Bit	Name	Access	Description	Reset value
[15:0]	PSC [15:0]	RW	タイマのプリスケーラの分周係数 カウンタのクロック周波数は、分周器への入力周波数 ÷ (PSC + 1) に等しい。	0

11.4.12 Auto-reload Value Register (TIM2_ATRLR)

Offset address: 0x28

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ATRLR[15:0]															

Bit	Name	Access	Description	Reset value
[15:0]	ATRLR [15:0]	RW	ATRLR[15:0] の値はカウンタにロードされる。 動作および更新タイミングについてはセクション10.2.4を参照。 ATRLRが空である場合、カウンタは停止する。	0xFFFF

11.4.13 Compare/Capture Register 1 (TIM2_CH1CVR)

Offset address: 0x34

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															LEVEL1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH1CVR[15:0]															

Bit	Name	Access	Description	Reset value
[31:17]	Reserved	RO	Reserved	0
16	LEVEL1	RO	キャプチャされた値に対応するレベル指示ビット	0
[15:0]	CH1CVR[15:0]	RW	比較／キャプチャレジスタチャネル1の値	0

11.4.14 Compare/Capture Register 2 (TIM2_CH2CVR)

Offset address: 0x38

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															LEVEL2

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH2CVR[15:0]															

Bit	Name	Access	Description	Reset value
[31:17]	Reserved	RO	Reserved	0
16	LEVEL2	RO	キャプチャされた値に対応するレベル指示ビット	0
[15:0]	CH2CVR[15:0]	RW	比較／キャプチャレジスタチャネル2の値	0

11.4.15 Compare/Capture Register 3 (TIM2_CH3CVR)

Offset address: 0x3C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															LEVEL3

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH3CVR[15:0]															

Bit	Name	Access	Description	Reset value
[31:17]	Reserved	RO	Reserved	0
16	LEVEL3	RO	キャプチャされた値に対応するレベル指示ビット	0
[15:0]	CH3CVR[15:0]	RW	比較／キャプチャレジスタチャネル3の値	0

11.4.16 Compare/Capture Register 4 (TIM2_CH4CVR)

Offset address: 0x40

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															LEVEL4

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH4CVR[15:0]															

Bit	Name	Access	Description	Reset value
[31:17]	Reserved	RO	Reserved	0
16	LEVEL4	RO	キャプチャされた値に対応するレベル指示ビット	0
[15:0]	CH4CVR[15:0]	RW	比較／キャプチャレジスタチャネル4の値	0

11.4.17 DMA Control Register (TIM2_DMACFGR)

Offset address: 0x48

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			DBL[4:0]					Reserved			DBA[4:0]				

Bit	Name	Access	Description	Reset value
[15:13]	Reserved	RO	Reserved	0
[12:8]	DBL[4:0]	RW	DMA連続転送の長さ。このフィールドの値に「+1」した値が実際の転送長となる。	0
[7:5]	Reserved	RO	Reserved	0
[4:0]	DBA[4:0]	RW	これらのビットは、連続モードにおけるDMAのオフセットを、制御レジスタ1(Control Register 1)のアドレスからの相対位置として定義する。	0

11.4.18 DMA Address Register in Continuous Mode (TIM2_DMAADR)

Offset address: 0x4C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAADR[15:0]															

Bit	Name	Access	Description	Reset value
[15:0]	DMAADR[15:0]	RW	連続モードにおけるDMAアドレス	0

Chapter 12 ユニバーサル同期／非同期受信送信機（USART）

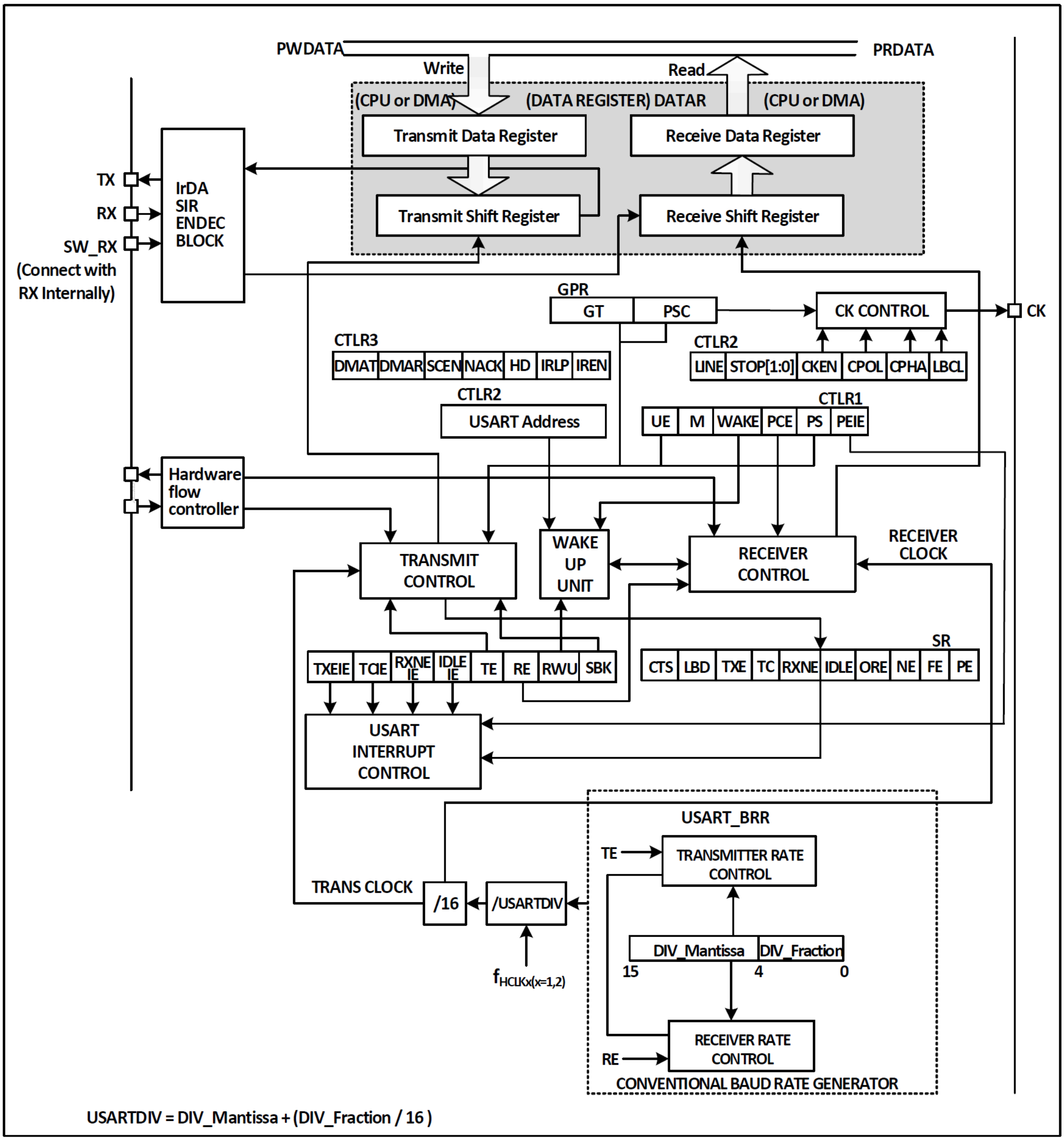
　このモジュールには、1つのユニバーサル同期／非同期トランシーバUSART1が含まれている。

12.1 主な機能

- 全二重／半二重の同期／非同期通信に対応
- NRZ（Non-Return-to-Zero）データフォーマット
- 分数型ボーレートジェネレータ（最大3Mbps）
- データ長のプログラム可能化
- ストップビットの構成可能性
- LIN、IrDAエンコーダ、スマートカード対応
- DMA（Direct Memory Access）サポート
- 複数の割り込みソースに対応

12.2 概要

図 12-1 汎用同期/非同期トランシーバのブロック図



TE (transmit enable bit) がセットされると、送信シフトレジスタ内のデータがTX ピンに出力され、クロックが CK ピンに出力される。送信時には、最初にシフトアウトされるビットは最下位ビットであり、各データフレームは Low のスタートビットで開始される。その後、M (word length) ビットの設定に応じて 8bit または 9bit のデータワードが送信され、最後に設定可能な個数のストップビットが付加される。パリティチェックビットが有効な場合、データワードの最終ビットはチェックビットとなる。TE がセットされた後、アイドルフレームが送信される。これは High が 10bit または 11bit 続き、ス

トップビットを含む。切断フレームは Low が 10bit または 11bit 続いた後にストップビットが付加される。

12.3 ボーレートジェネレータ

トランシーバのボーレート = HCLK/(16*USARTDIV) であり、HCLK は HB のクロックである。USARTDIV の値は USART_BRR 内の DIV_M および DIV_F フィールドによって決定され、以下の式で算出される。

USARTDIV = DIV_M+(DIV_F/16)

ボーレートジェネレータによって生成されるボーレートは、ユーザが要求する値と完全には一致しない可能性があり、誤差が発生する場合がある。最も近い値を選択する以外に、HB クロック周波数を上げることで誤差を低減する方法もある。例えば、ボーレートを 76800bps に設定する場合、USARTDIV の値は 39.0625 に設定され、最高周波数 (48MHz) において正確に 76800bps が得られる。一方、921600bps を要求する場合、計算される USARTDIV の値は約 3.255 である。実際には USART_BRR に設定可能な最も近い値は 3.25 であり、実際のボーレートは 923076bps となり、誤差は 0.16% である。

送信側から送られたシリアル波形が受信側に伝送される際、送信側と受信側のボーレートには誤差が生じる。主な誤差要因は以下の三点である:送信側と受信側の実際のボーレートが一致しないこと、両者のクロックに誤差があること、伝送線上の波形変化によるものである。ペリフェラルモジュールの受信側には一定の受信許容誤差があり、上記三点の合計誤差がモジュールの許容限界を下回る場合、送受信に影響はない。許容限界は分数ボーレートおよび M-bit (データフィールドのワード長) の使用有無によって影響を受け、分数ボーレートおよび 9bit データフィールド長を使用すると許容限界は低下するが、3% 未満にはならない。

12.4 同期モード

同期モードを使用すると、USART モジュール使用時にシステムがクロック信号を出力できる。同期モードが有効化されて外部へデータを送信する場合、CK ピンは同時に外部へクロックを出力する。

同期モードを有効にするには、制御レジスタ2（R16_USARTx_CTLR2）の CLKEN ビットをセットする必要がある。また、LIN モード、スマートカードモード、赤外線モード、ハーフデュプレックスモードを無効にする必要があり、すなわち制御レジスタ3（R16_USARTx_CTLR3）の SCEN、HDSEL、IREN ビットをリセット状態にする必要がある。

同期モード使用時の要点はクロック出力制御であり、いくつかの注意点が存在する。
a）USART モジュールの同期モードはメインモードでのみ動作し、CK ピンはクロックのみを出力し、入力は受け付けない。

TX ピンからデータが出力されるときのみクロック信号が出力される。

LBCL ビットは最後のデータビット送信時にクロックを出力するかどうかを決定し、CPOL ビットはクロックの極性を、CPHA ビットはクロックの位相を決定する。これら 3 ビットは制御レジスタ2（R16_USARTx_CTLR2）にあり、TE および RE が有効でない状態で設定する必要がある。詳細は 図 12-2 を参照。

同期モードでは受信側は出力クロックに同期してサンプリングを行うため、デバイスには一定の信号立ち上がり時間および保持時間が必要となる。これについては 図 12-3 に示されている。

図 12-2 USART クロックタイミング例（M=0）

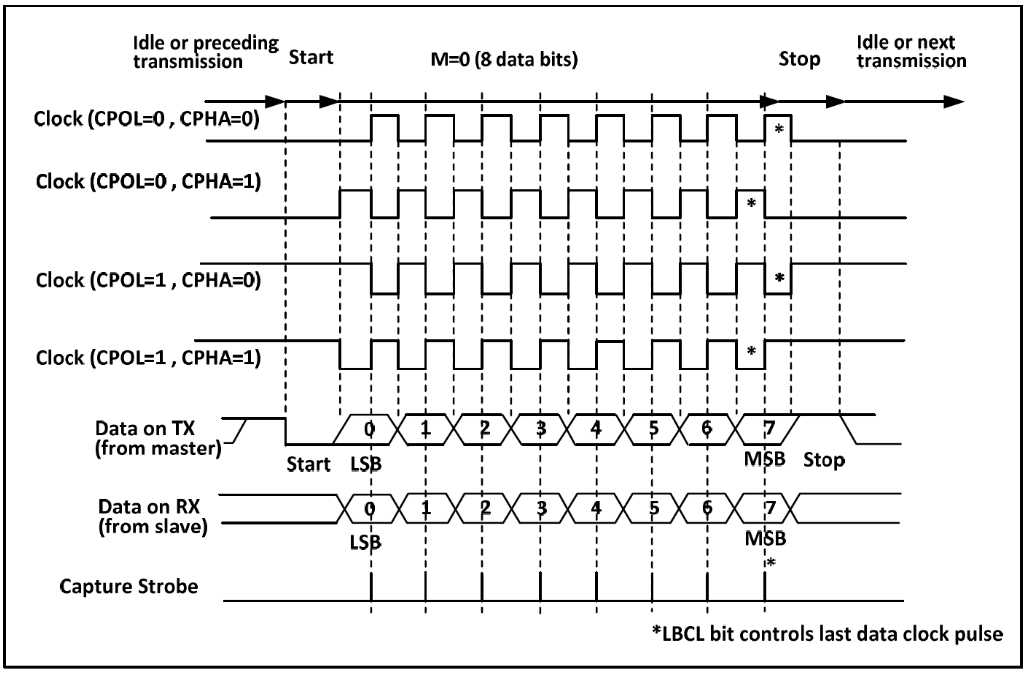
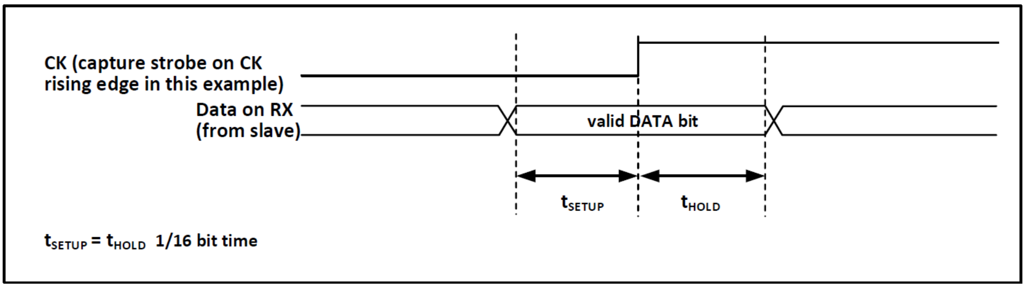


図 12-3 データサンプル保持時間



12.5 1-wire ハーフデュプレックスモード

ハーフデュプレックスモードでは、1本のピン（TX ピンのみ）を使用して送受信を行うことができ、TX ピンと RX ピンはチップ内部で接続されている。

ハーフデュプレックスモードを有効にするには、制御レジスタ3（R16_USARTx_CTLR3）の HDSEL ビットをセットする必要がある。また、LIN モード、スマートカードモード、赤外線モード、同期モードを無効にする必要があり、すなわち制御レジスタ2 および 3（R16_USARTx_CTLR2 および R16_USARTx_CTLR3）の SCEN、CLKEN、IREN ビットをリセット状態にする必要がある。

ハーフデュプレックスモード設定後は、TX の IO ポートをオープンドレイン出力 High モードに設定する必要がある。TE をセットすると、データレジスタに書き込まれたデータは即座に送信される。

ハーフデュプレックスモードでは、複数のデバイスが単一バスで送受信を行う場合にバス競合が発生する可能性があるため、ユーザがソフトウェアで回避する必要がある。

12.6 スマートカード

スマートカードモードは、ISO7816-3 プロトコルに準拠したスマートカードコントローラへのアクセスをサポートする。

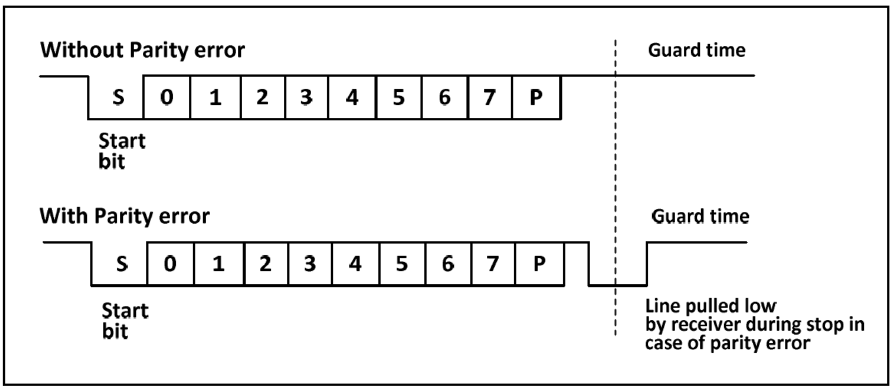
スマートカードモードを有効にするには、制御レジスタ3（R16_USARTx_CTLR3）の SCEN ビットをセットする必要がある。また、LIN モード、ハーフデュプレックスモード、赤外線モードを無効にする必要があり、すなわち LINEN、HDSEL、IREN ビットをリセット状態にする。ただし、クロック出力のために CLKEN は有効にしてもよい。これらのビットは制御レジスタ2 および 3（R16_USARTx_CTLR2 および R16_USARTx_CTLR3）に存在する。

スマートカードモードをサポートするためには、USART を 8bit データ + 1bit パリティに設定し、ストップビットは送受信ともに 1.5bit に設定することが推奨される。スマートカードモードは 1-wire ハーフデュプレックスプロトコルであり、TX ラインを用いてデータ通信を行うため、TX はオープンドレイン出力 + プル設定にする必要がある。

受信側がデータフレームを受信し、パリティエラーを検出した場合、NACK 信号を送信する。すなわち、ストップビット期間中に 1サイクルだけ TX を Low にアクティブ駆動する。送信側はこの NACK 信号を検出し、フレームエラーを生成し、アプリケーション側で再送処理が可能となる。図 12-4 は、TX ピンにおける正常時およびパリティエラー時の波形を示す。

USART の TC フラグ（transmit complete flag）により、GT（保護時間）の生成を 1クロック遅延させることができ、受信側は自身が設定した NACK 信号をスタートビットとして誤認識することはない。

図 12-4 パリティエラー時の波形



スマートカードモードにおいて、CK ピンから出力される波形は通信とは無関係であり、単にスマートカードに対してクロックを供給するものである。

このクロックは AHB クロックを基準とし、5bit 設定可能なクロック分周器によって分周される（PSC の 2倍、最大 62分周まで対応）。

12.7 IrDA

USART モジュールは、物理層通信のために IrDA 赤外線トランシーバの制御をサポートする。IrDA を使用するには、LINEN、STOP、CLKEN、SCEN、HDSEL ビットをクリアする必要がある。USART モジュールと SIR 物理層 (赤外線トランシーバ) 間では NRZ (non-return to zero) 符号化が使用され、最大 115200bps まで対応する。

IrDA はハーフデュプレックスプロトコルであり、USART が SIR 物理層へデータを送信している場合、IrDA デコーダは新たに送信された赤外線信号を無視する。USART が SIR からデータを受信している場合、SIR は USART からの信号を受け付けない。

USART から SIR、および SIR から USART へのレベル論理は異なる。SIR の受信論理では High レベルが 1、Low レベルが 0 であるが、SIR の送信論理では High レベルが 0、Low レベルが 1 である。

12.8 DMA

USART モジュールは DMA 機能をサポートしており、高速かつ連続的な送受信を実現できる。

DMA が有効な場合、TXE がセットされると、DMA は設定されたメモリ領域から送信バッファへデータを書き込む。

DMA を使用して受信する場合、RXNE がセットされるたびに、DMA は受信バッファ内のデータを特定のメモリ領域へ転送する。

12.9 割り込み

USARTモジュールは、以下を含む複数の割り込み要因をサポートしている:送信データレジスタ空(TXE)、CTS、送信完了(TC)、受信データ準備完了(RXNE)、データオーバーフロー(ORE)、ラインアイドル(IDLE)、パリティエラー(PE)、切断フラグ(LBD)、ノイズ(NE)、マルチバッファ通信におけるオーバーフロー(ORT)、およびフレームエラー(FE)など。

表 12-1 割り込みと対応するイネーブルビットの関係

Interrupt source	Enable bit
Transmit data register empty (TXE)	TXEIE
Allowed to send (CTS)	CTSIE
Transmission complete(TC)	TCIE
Received data ready to be read (RXNE)	RXNEIE
Overrun error detected(ORE)	
Idle line detected(IDLE)	IDLEIE
Parity error(PE)	PEIE
Break flag(LBD)	LBDIE
Noise flag(NE)	EIE
Overflow of multi-buffered communication (ORE)	
Frame error for multibuffered communication (FE)	

12.10 レジスタ詳細

表 12-2 USART関連レジスター覧

Name	Access address	Description	Reset value
R32_USART_STATR	0x40013800	UASRT status register	0x000000C0
R32_USART_DATAR	0x40013804	UASRT data register	0x000000XX
R32_USART_BRR	0x40013808	UASRT baud rate register	0x00000000
R32_USART_CTLR1	0x4001380C	UASRT control register 1	0x00000000
R32_USART_CTLR2	0x40013810	UASRT control register 2	0x00000000
R32_USART_CTLR3	0x40013814	UASRT control register 3	0x00000000
R32_USART_GPR	0x40013818	UASRT protection time and prescaler register	0x00000000

12.10.1 USART Status Register (USART_STATR)

Offset address: 0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved						CTS	LBD	TXE	TC	RXNE	IDLE	ORE	NE	FE	PE

Bit	Name	Access	Description	Reset value
[31:10]	Reserved	RO	Reserved	0
9	CTS	RW0	CTS状態変化フラグ。CTSEビットがセットされている場合、nCTS出力状態が変化すると本ビットはハードウェアにより1に設定される。ソフトウェアにより0にクリアされる。CTSIEビットが既にセットされている場合、割り込みが生成される。 1:nCTS状態ラインに変化が存在する 0:nCTS状態ラインに変化はない	0
8	LBD	RW0	LINブレーク検出フラグ。本ビットは、LINブレークが検出されたときにハードウェアによりセットされる。ソフトウェアによりクリアされる。LBDIEビットが既にセットされている場合、割り込みが生成される。 1:LINブレークを検出した 0:LINブレークの保留中の検出はない	0
7	TXE	RO	送信データレジスタ空フラグ。本ビットは、TDRレジスタ内のデータがハードウェアによりシフトレジスタへ転送されたときにハードウェアによりセットされる。TXEIEビットが既にセットされている場合、データレジスタへの書き込み操作を行うための割り込みが生成され、本ビットはリセットされる。 1:データはシフトレジスタへ転送された 0:データはシフトレジスタへ転送されていない	1
6	TC	RW0	送信完了フラグ。データを含むフレームが送信され、TXEがセットされている場合、ハードウェアは本ビットをセットする。TCIEがセットされている場合、割り込みが生成される。ソフトウェアは本ビットを読み出した後にデータレジスタへ書き込むことでクリアすることができる。また、0を書き込むことで直接クリアすることも可能である。 1:送信完了 0:送信未完了	1
5	RXNE	RW0	受信データレジスタ非空フラグ。本ビットは、シフトレジスタ内のデータがデータレジスタへ転送されたときにハードウェアによりセットされる。RXNEIEビットが既にセットされている場合、対応する割り込みが生成される。データレジスタの読み出し操作により本ビットはクリアされる。また、0を書き込むことで直接クリアすることも可能である。 1:データを受信済みで読み出し可能である 0:データは未受信である	0
4	IDLE	RO	バスアイドルフラグ。バスがアイドル状態のとき、本ビットはハードウェアによりセットされる。IDLEIEビットが既にセットされている場合、対応する割り込みが生成される。ステータスレジスタを読み出し、その後データレジスタを読み出す操作により本ビットはクリアされる。 1:バスはアイドル状態である 0:バスアイドルは検出されていない 注:本ビットはRXNEがセットされるまで再度セットされない。	0
3	ORE	RO	オーバーロードエラーフラグ。受信シフトレジスタ内のデータをデータレジスタへ転送する必要があるが、データレジスタの受信フィールドに未読の	0

			データが残っている場合、本ビットはセットされる。RXNEIEビットがセットされている場合、対応する割り込みも生成される。 1:オーバーロードエラーが発生した 0:オーバーロードエラーは発生していない 注:オーバーロードエラーが発生した場合、データレジスタの値は失われず、シフトレジスタの値が上書きされる。EIEableビットがセットされている場合、OREフラグ位置ビットはマルチバッファ通信モードにおいて割り込みを生成する。	
2	NE	RO	ノイズエラーフラグ。本ビットはノイズエラーが検出されたときにハードウェアによりセットされる。ステータスレジスタを読み出し、その後データレジスタを読み出す操作により本ビットはリセットされる。 1:ノイズを検出した 0:ノイズは検出されていない 注:本ビットは割り込みを生成しない。EIEビットがセットされている場合、FEフラグ位置ビットはマルチバッファ通信モードにおいて割り込みを生成する。	0
1	FE	RO	フレームエラーフラグ。本ビットは、同期エラー、過度なノイズ、または切断キャラクタが検出されたときにハードウェアによりセットされる。本ビットを読み出し、その後データレジスタを読み出す操作によりリセットされる。 1:フレームエラーを検出した 0:フレームエラーは検出されていない 注:本ビットは割り込みを生成しない。EIEビットがセットされている場合、FEフラグ位置ビットはマルチバッファ通信モードにおいて割り込みを生成する。	0
0	PE	RO	チェックサムエラーフラグ。受信モードにおいて、パリティチェックエラーが発生した場合、本ビットはハードウェアによりセットされる。本ビットを読み出し、その後データレジスタを読み出す操作により本ビットはリセットされる。本ビットをクリアする前に、ソフトウェアはRXNEフラグビットがセットされるのを待たなければならない。PEIEビットが事前にセットされている場合、本ビットがセットされると対応する割り込みが生成される。 1:パリティエラーが発生した 0:検査エラーはない	0

12.10.2 USART Data Register (USART_DATAR)

Offset address: 0x04

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved							DR[8:0]								

Bit	Name	Access	Description	Reset value
[31:9]	Reserved	RO	Reserved	0
[8:0]	DR[8:0]	RW	データレジスタ。本レジスタは、実際には受信データレジスタ(RDR)および送信レジスタ(TDR)の2つのレジスタで構成されている。DRレジスタの読み出し操作は受信レジスタ(RDR)の読み出しを開始し、書き込み操作は送信レジスタ(TDR)への書き込みを開始する。	X

12.10.3 USART Baud Rate Register (USART_BRR)

Offset address: 0x08

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
DIV_Mantissa[11:0]												DIV_Fraction[3:0]			

Bit	Name	Access	Description	Reset value
[31:16]	Reserved	RO	Reserved	0
[15:4]	DIV_ Mantissa [11:0]	RW	これら12ビットは、周波数分周器の分周係数の整数部を定義する。	0
[3:0]	DIV_ Fraction [3:0]	RW	これら4ビットは、周波数分周器の分周係数の小数部を定義する。	0

12.10.4 USART Control Register 1 (USART_CTLR1)

Offset address: 0x0C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		UE	M	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	RWU	SBK

Bit	Name	Access	Description	Reset value
[31:14]	Reserved	RO	Reserved	0
13	UE	RW	USARTイネーブルビット。本ビットがクリアされると、現在のバイト転送が完了した後に、USARTの分周器および出力の動作が停止する。	0
12	M	RW	ワード長ビット。 1:9ビットデータ 0:8ビットデータ	0
11	WAKE	RW	ウェイクアップビット。本ビットはUSARTのウェイクアップ方式を決定する。 1:アドレスマーカーによるウェイクアップ 0:バスアイドルによるウェイクアップ	0
10	PCE	RW	パリティビットイネーブル。本ビットがセットされると、受信側ではデータのパリティチェックが行われ、送信側ではパリティビットが挿入される。なお、本ビットの設定は、現在のバイト転送が完了した後に有効となる。	0
9	PS	RW	パリティ選択。本ビットはパリティの種類を指定する。 0:偶数パリティ 1:奇数パリティ 本ビットがセットされると、パリティビットの有効化は現在のバイト転送が完了した後に反映される。	0
8	PEIE	RW	パリティチェック割り込みイネーブルビット。本ビットは、パリティチェックエラーに対する割り込みを許可することを示す。	0
7	TXEIE	RW	TXE割り込みイネーブル。本ビットは、TXE(送信データレジスタ空)割り込みの生成を許可することを示す。	0
6	TCIE	RW	送信完了割り込みイネーブル。本ビットは、送信完了割り込みの生成を許可することを示す。	0
5	RXNEIE	RW	RXNE割り込みイネーブル。本ビットは、RXNE(受信データレジスタ非空)割り込みの生成を許可することを示す。	0
4	IDLEIE	RW	IDLE割り込みイネーブル。本ビットは、IDLE(バスアイドル)割り込みの生成を許可する。	0
3	TE	RW	送信機能イネーブル。本ビットをセットすると、送信機能が有効化される。	0
2	RE	RW	受信機能イネーブル。本ビットをセットすると受信機能が有効化され、RXピン上のスタートビットの検出が開始される。	0
1	RWU	RW	受信ウェイクアップ。本ビットはUSARTをサイレントモードにするかどうかを決定する。 1:受信機はサイレントモードにある。	0

			0:受信機は通常動作モードにある。 注1:RWUビットをセットする前に、USARTがデータバイトを一度受信している必要がある。そうでない場合、サイレントモード中にバスアイドルによってウェイクアップできない。 注2:アドレスマークによるウェイクアップに設定されている場合、RXNEがセットされている間はRWUビットをソフトウェアから変更できない。	
0	SBK	RW	ブレーク送信ビット 本ビットをセットすると、ブレークキャラクタが送信される。ブレークフレームのストップビット時に、ハードウェアによって自動的にリセットされる。 1:送信する 0:送信しない	0

12.10.5 USART Control Register 2 (USART_CTLR2)

Offset address: 0x10

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	LINEN	STOP[1:0]		CLKEN	CPOL	CPHA	LBCL	Reserved	LBDIE	LBDL	Reserved	ADD[3:0]			

Bit	Name	Access	Description	Reset value
[31:14]	Reserved	RO	Reserved	0
14	LINEN	RW	LINモードイネーブル。本ビットをセットするとLINモードが有効化される。LINモードでは、USART_CR1レジスタ内のSBKビットを使用してLIN同期ブレークを送信する機能、およびLIN同期ブレークの検出機能が有効となる。	0
[13:12]	STOP [1:0]	RW	ストップビット設定。これらのビットはストップビット数の設定に使用される。 00:1ストップビット 01:0.5ストップビット 10:2ストップビット 11:1.5ストップビット	0
11	CLKEN	RW	クロックイネーブル。本ビットはCKピンの有効化を制御する。 0:CKピン無効 1:CKピン有効	0
10	CPOL	RW	クロック極性。本ビットは同期モードにおけるCKピンのクロック出力の極性を選択する。CPHAビットと組み合わせて、望ましいクロック／データの関係を生成する。 0:送信ウィンドウ外ではCKピンは常時Low 1:送信ウィンドウ外ではCKピンは常時High ※送信が有効化された後は、本ビットを変更できない。	0
9	CPHA	RW	クロック位相。本ビットは同期モードにおけるCKピンのクロック出力の位相を選択する。CPOLビットと組み合わせて、望ましいクロック／データの関係を生成する。 0:最初のクロック遷移が最初のデータキャプチャエッジ 1:2番目のクロック遷移が最初のデータキャプチャエッジ ※送信が有効化された後は、本ビットを変更できない。	0
8	LBCL	RW	最終ビットクロックパルス。本ビットは、同期モードにおいて送信される最終データビット(MSB)に対応するクロックパルスをCKピンに出力するかどうかを選択する。 0:最終データビットのクロックパルスはCKピンに出力されない 1:最終データビットのクロックパルスがCKピンに出力される ※送信が有効化された後は、本ビットを変更できない。	0
7	Reserved	RO	Reserved	0
6	LBDIE	RW	LINブレーク検出割り込みイネーブル。本位置ビットは、LBD(LINブレーク検出)によって発生する割り込みを有効化する。	0
5	LBDL	RW	LINブレーク検出長。本ビットは、ブレークキャラクタの検出長を11ビットま	0

			たは10ビットのいずれかに設定するために使用される。 1:11ビットのブレークキャラクタを検出 0:10ビットのブレークキャラクタを検出	
4	Reserved	RO	Reserved	0
[3:0]	ADD[3:0]	RW	USARTノードアドレス。本ビットフィールドはUSARTノードのアドレスを示す。マルチプロセッサ通信においてミュートモード中のウェイクアップに使用され、アドレスマーク検出によって復帰するために用いられる。	0

12.10.6 USART Control Register 3 (USART_CTLR3)

Offset address: 0x14

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					CTSIE	CTSE	RTSE	DMAT	DMAR	SCEN	NACK	HDSEL	IRLP	IREN	EIE

Bit	Name	Access	Description	Reset value
[31:11]	Reserved	RO	Reserved	0
10	CTSIE	RW	CTS割り込みイネーブルビット。本ビットがセットされると、CTS（クリア・トゥ・センド）信号がセットされた際に割り込みが生成される。	0
9	CTSE	RW	CTSイネーブルビット。本ビットをセットすると、CTS（クリア・トゥ・センド）フロー制御が有効化される。	0
8	RTSE	RW	RTSイネーブルビット。本ビットをセットすると、RTS（リクエスト・トゥ・センド）フロー制御が有効化される。	0
7	DMAT	RW	DMA送信イネーブルビット。本ビットが1に設定されると、送信時にDMA（ダイレクトメモリアクセス）が使用される。	0
6	DMAR	RW	DMA受信イネーブルビット。本位置が1に設定されると、受信時にDMA（ダイレクトメモリアクセス）が使用される。	0
5	SCEN	RW	スマートカードモードイネーブルビット。本ビットを1に設定すると、スマートカードモードが有効化される。	0
4	NACK	RW	スマートカードNACKイネーブルビット。本ビットをセットすると、チェックエラー発生時にNACK（否定応答）を送信する。	0
3	HDSEL	RW	ハーフデュプレックス選択ビット。本ビットをセットすると、ハーフデュプレックスモードが選択される。	0
2	IRLP	RW	IrDA低電力モードビット。IrDAモードが選択されている場合に本ビットをセットすると、低電力モードが有効化される。	0
1	IREN	RW	IrDAイネーブルビット。本ビットをセットすると、赤外線（IrDA）モードが有効化される。	0
0	EIE	RW	エラー割り込みイネーブルビット。本ビットをセットすると、FE（フレーミングエラー）、ORE（オーバーランエラー）、NE（ノイズエラー）のいずれかがセットされ、かつDMAR（DMA受信イネーブル）が有効な場合に割り込みが生成される。	0

12.10.7 USART Guard Time and Prescaler Register (USART_GPR)

Offset address: 0x18

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GT[7:0]								PSC[7:0]							

Bit	Name	Access	Description	Reset value
[31:16]	Reserved	RO	Reserved	0
[15:8]	GT[7:0]	RW	ガードタイム値。本ビットフィールドは、スマートカードモードにおいて使用されるガードタイム値をボーレートクロック数で指定する。送信完了フラグ(Transmission Complete)は、このガードタイム値の経過後にセットされる。	0
[7:0]	PSC[7:0]	RW	プリスケーラ値フィールド IrDA低電力モードでは、ソースクロックはこの値で除算される(8ビット全て有効)。値が0の場合はクロック保持(除算なし)となる。 通常のIrDAモードでは、このビットは1のみ設定可能である。 スマートカードモードでは、ソースクロックはこの値の2倍で除算されてスマートカードのクロックとして使用される(下位5ビットが有効)。値が0の場合はクロック保持となる。	0

Chapter 13 Inter-integrated Circuit (I2C) インタフェース

　Internal Integrated Circuit Bus (I2C) は、マイクロコントローラとセンサおよびその他のオフチップモジュール間の通信に広く使用される。マルチマスタおよびマルチスレーブモードをサポートし、SDAおよびSCLの2本のラインのみで100kHz（標準）および400kHz（高速）で通信可能である。タイミング制御、DMA、CRCチェックサム機能を備える。

13.1 主な機能

- マスタモードおよびスレーブモードをサポート
- 7ビットまたは10ビットアドレスをサポート
- スレーブデバイスは2つの7ビットアドレスに対応
- 通信速度モード：100kHzおよび400kHzをサポート
- 複数のステータスモードおよび複数のエラーフラグをサポート
- 拡張クロック機能をサポート
- 割り込みベクタを2系統持つ
- DMAをサポート
- PEC（Packet Error Checking）をサポート
- SMBus互換

13.2 概要

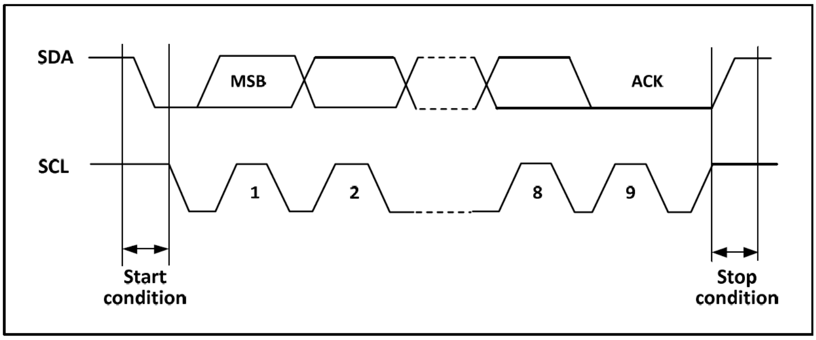
　I2Cはハーフデュプレックスバスであり、同時に以下の4つのモードのいずれか1つでのみ動作可能である：マスタデバイス送信モード、マスタデバイス受信モード、スレーブデバイス送信モード、スレーブデバイス受信モード。

　I2Cモジュールはデフォルトでスレーブモードで動作し、スタートコンディションが生成されると自動的にマスタモードへ切り替わり、アービトレーションが失われた場合またはストップ信号が生成された場合にはスレーブモードへ戻る。

　I2Cモジュールはマルチマスタ機能をサポートする。マスタモードで動作する際、I2Cモジュールはデータおよびアドレスを能動的に送出する。データおよびアドレスはともに8ビット単位で送信され、上位ビットが先、下位ビットが後となる。

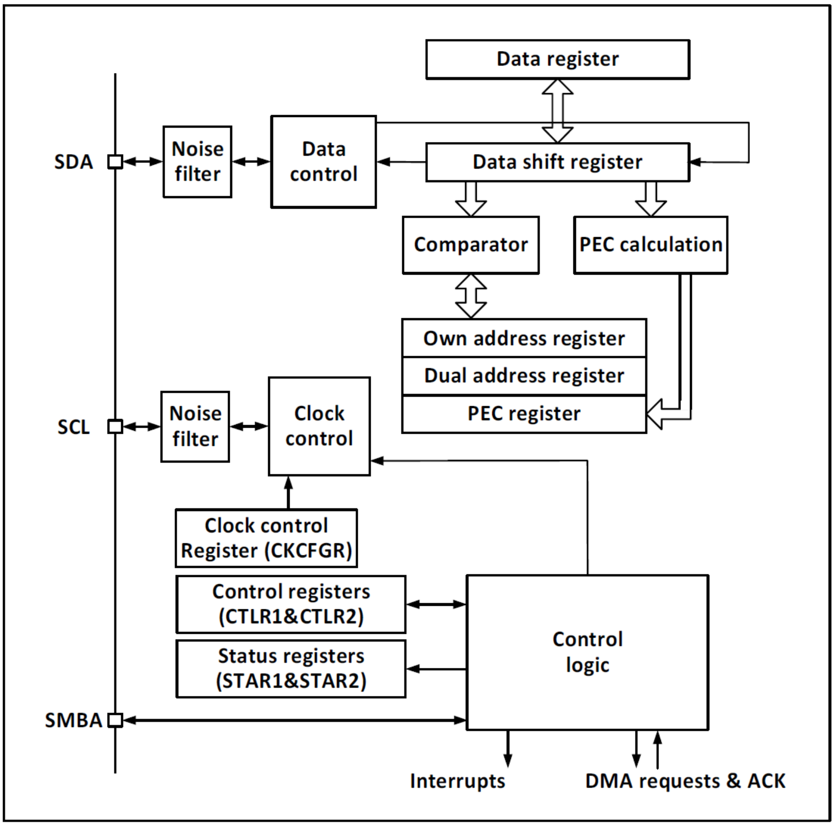
　スタートイベントの後には、7ビットアドレスモードでは1バイト、10ビットアドレスモードでは2バイトのアドレスが送信される。ホストから送信される各8ビットのデータまたはアドレスに対して、スレーブはACK応答を返す必要があり、ACKはSDAバスをLowに引き下げることで示される（図13-1参照）。

図13-1 I2Cタイミング図



正常に動作させるためには、I2Cモジュールに適切なクロックを供給する必要があり、標準モードでは最低2MHz、高速モードでは最低4MHzが必要である。

図13-2 I2Cモジュールの機能ブロック図



13.3 マスタモード

マスタモードでは、I2Cモジュールがデータ転送を制御し、クロック信号を出力する。データ転送はスタートイベントで開始され、エンドイベントで終了する。マスタモード通信を使用する手順は以下の通りである。

- 制御レジスタ2（R16_I2Cx_CTLR2）およびクロック制御レジスタ（R16_I2Cx_CKCFGR）に正しいクロックを設定する。
- 立ち上がりエッジレジスタ（R16_I2Cx_RTR）に適切な立ち上がりエッジを設定する。
- 制御レジスタ（R16_I2Cx_CTLR1）のPEビットを設定してペリフェラルを起動する。
- 制御レジスタ（R16_I2Cx_CTLR1）のSTARTビットを設定してスタートイベントを生成する。

STARTビットを設定すると、I2Cモジュールは自動的にマスタモードへ切り替わり、MSLビットがセットされてスタートイベントが生成される。スタートイベントが生成されるとSBビットがセットされ、R16_I2Cx_CTLR2のITEVTENビットがセットされていれば割り込みが生成される。この時点でステータスレジスタ1（R16_I2Cx_STAR1）を読み出し、アドレスからデータレジスタへの書き込み後にSBビットは自動的にクリアされる。

10ビットアドレスモードを使用する場合、データレジスタにヘッダーシーケンス（11110xx0b、xxは10ビットアドレスの上位2ビット）を書き込む。ヘッダーシーケンス送信後、ステータスレジスタのADD10ビットがセットされ、ITEVTENビットがセットされていれば割り込みが生成される。この時点でR16_I2Cx_STAR1レジスタを読み出し、2バイト目のアドレスを書き込んだ後にADD10ビットがクリアされる。

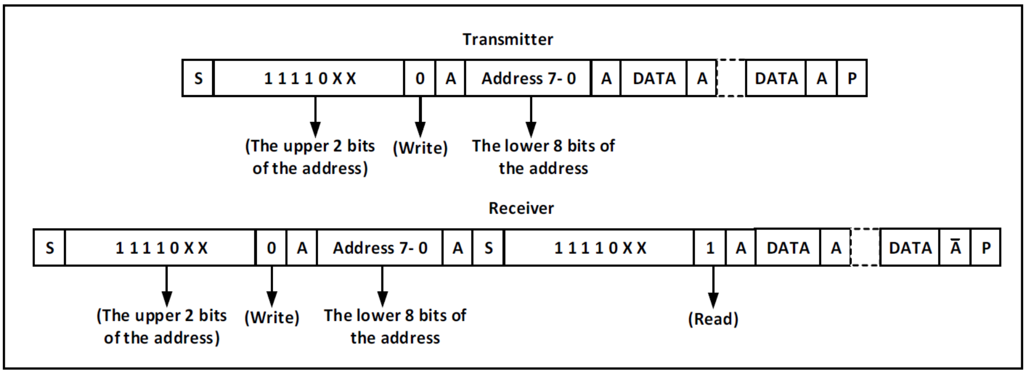
次にデータレジスタに2バイト目のアドレスを書き込む。送信後、ステータスレジスタのADDRビットがセットされ、ITEVTENビットがセットされていれば割り込みが生成される。この時点でR16_I2Cx_STAR1レジスタを読み出し、続けてR16_I2Cx_STAR2レジスタを1回読み出すことでADDRビットがクリアされる。

7ビットアドレスモードの場合、データレジスタにアドレスバイトを書き込む。送信後、ステータスレジスタのADDRビットがセットされ、ITEVTENビットがセットされていれば割り込みが生成される。この時点でR16_I2Cx_STAR1レジスタを読み出し、続けてR16_I2Cx_STAR2レジスタを1回読み出すことでADDRビットがクリアされる。

7ビットアドレスモードでは、最初に送信されるバイトがアドレスバイトであり、上位7ビットがスレーブデバイスのアドレスを示し、8ビット目が後続メッセージの方向を決定する。0の場合はマスタデバイスがスレーブデバイスへデータを書き込み、1の場合はマスタデバイスがスレーブデバイスから情報を読み出す。

10ビットアドレスモードでは、図13-3に示すように、アドレス送信フェーズにおいて最初のバイトは11110xx0（xxは10ビットアドレスの上位2ビット）、2バイト目は下位8ビットである。その後マスタデバイス送信モードへ移行する場合はデータ送信を継続し、マスタデバイス受信モードへ移行する場合は再度スタートコンディションを送信し、続けて11110xx1のバイトを送信してマスタデバイス受信モードへ移行する。

図13-3:10ビットアドレスにおけるマスタ送受信データの概略図

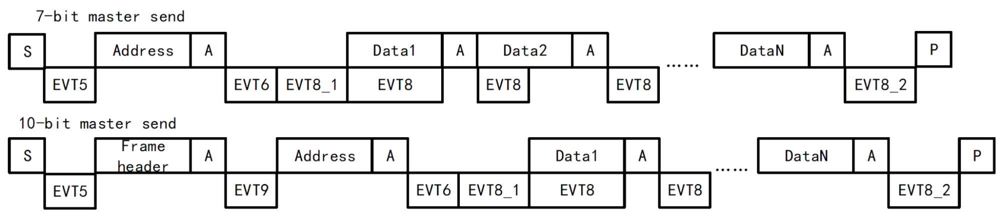


マスタ送信モード:

　マスタデバイスの内部シフトレジスタは、データレジスタからSDAラインへデータを送信する。マスタデバイスがACKを受信すると、ステータスレジスタ1(R16_I2Cx_STAR1)のTxEビットがセットされ、ITEVTENおよびITBUFENがセットされている場合は割り込みも生成される。データレジスタへデータを書き込むことでTxEビットはクリアされる。

　TxEビットがセットされており、前回のデータ送信完了前に新しいデータがデータレジスタへ書き込まれていない場合、BTFビットがセットされ、SCLはクリアされるまでLowのままとなる。R16_I2Cx_STAR1を読み出した後にデータレジスタへデータを書き込むことでBTFビットはクリアされる。

図13-4:マスタ送信機による送信シーケンス図



説明:
S = Start(スタートコンディション)
Sr = Repeated Start(繰り返しスタートコンディション)
P = Stop(ストップコンディション)
A = 応答(ACK)
NA = 非応答(NACK)
EVTx = イベント(ITEVFEN = 1 の場合に割り込みが生成される)

- EVT5:SB = 1。SR1を読み出し、次にDRレジスタへアドレスを書き込むことでイベントがクリアされる。
- EVT6:ADDR = 1。SR1を読み出し、次にSR2を読み出すことでイベントがクリアされる。
- EVT8_1:TxE = 1。シフトレジスタ空、データレジスタ空。DRレジスタへ書き込み。
- EVT8:TxE = 1。シフトレジスタは空でない、データレジスタは空。DRレジスタへの書き込みでイベントがクリアされる。
- EVT8_2:TxE = 1、BTF = 1。ストップビットの設定要求。ストップコンディション生成時にTxEおよびBTFビットはハードウェアによりクリアされる。
- EVT9:ADDR10 = 1。SR1を読み出し、次にDRレジスタへ書き込みを行うことでイベントがクリアされる。

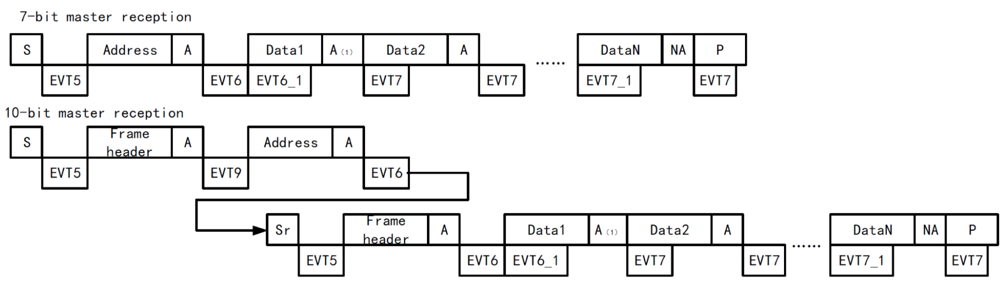
注記:
1. EVT5、EVT6、EVT9、EVT8_1、EVT8_2の各イベントは、対応するソフトウェアシーケンスが完了するまでSCLをLowに保持する。
2. EVT8のソフトウェアシーケンスは、現在のバイト転送が終了する前に完了している必要がある。

マスタ受信モード：

　I2CモジュールはSDAラインからデータを受信し、シフトレジスタを介してデータレジスタへ書き込む。各バイト受信後、ACKビットがセットされている場合、I2Cモジュールは応答Lowを送信し、RxNEビットがセットされる。ITEVTENおよびITBUFENがセットされている場合、割り込みが生成される。

　RxNEビットがセットされており、新しいデータ受信前に元のデータが読み出されていない場合、BTFビットがセットされ、BTFがクリアされるまでSCLはLowのままとなる。R16_I2Cx_STAR1を読み出し、次にデータレジスタを読み出すことでBTFビットはクリアされる。

図13-5：受信機による受信シーケンス図



説明：
S = Start（スタートコンディション）
Sr = Repeated Start（繰り返しスタートコンディション）
P = Stop（ストップコンディション）
A = 応答（ACK）
NA = 非応答（NACK）
EVTx = イベント（ITEVFEN = 1 の場合に割り込みが生成される）

- EVT5：SB = 1。SR1を読み出し、次にDRレジスタへアドレスを書き込むことでイベントがクリアされる。
- EVT6：ADDR = 1。SR1を読み出し、次にSR2を読み出すことでイベントがクリアされる。10ビットマスタ受信モードでは、このイベントの後にCR2のSTART = 1を設定する必要がある。
- EVT6_1：対応するイベントフラグは存在せず、1バイト受信時のみ適用される。EVT6（ADDRがクリアされた直後）の直後に、応答およびストップコンディション生成ビットをクリアする必要がある。
- EVT7：RxNE = 1。DRレジスタを読み出すことでイベントがクリアされる。
- EVT7_1：RxNE = 1。DRレジスタを読み出すことでイベントがクリアされる。ACK = 0を設定し、STOP要求を行う。
- EVT9：ADDR10 = 1。SR1を読み出し、次にDRレジスタへ書き込みを行うことでイベントがクリアされる。

　マスタデバイスがデータ送信を終了する際、エンドイベントとしてSTOPビットを能動的にセットし、I2Cはスレーブモードへ切り替わる。受信モードでは、マスタデバイスは最後のデータビットの応答位置でNAKを送信する必要があり、スレーブデバイスがNACKを受信すると、SCLおよびSDAラインの制御を解放する。その後、マスタデバイスはストップ／リスタートコンディションを送信可能となる。なお、ストップコンディションが生成されると、I2Cモジュールは自動的にスレーブモードへ切り替わる。

13.4 スレーブモード

スレーブモードでは、I2Cモジュールは自身のアドレスおよびブロードキャストコールアドレスを認識する。ブロードキャストコールアドレスの認識を有効／無効にするかはソフトウェアで制御可能である。スタートイベントが検出されると、I2Cモジュールはシフトレジスタを介してSDAライン上のデータと自身のアドレス（ビット数はENDUALおよびADDMODEに依存）またはブロードキャストアドレス（ENGCがセットされている場合）を比較する。一致しない場合は、新たなスタートイベントが生成されるまで無視される。

ヘッダーシーケンスと一致した場合、ACK信号が生成され、2バイト目のアドレスを待機する。2バイト目のアドレスも一致するか、7ビットアドレスの場合に全体アドレスが一致した場合は以下の処理が行われる:

- - 最初にACK応答が生成される
- - ADDRビットがセットされ、ITEVTENビットがすでにセットされている場合は対応する割り込みが生成される
- - デュアルアドレスモードが使用されている場合（ENDUALビットがセットされている）、ホストが呼び出しているアドレスを判定するためにDUALFビットも読み出す必要がある

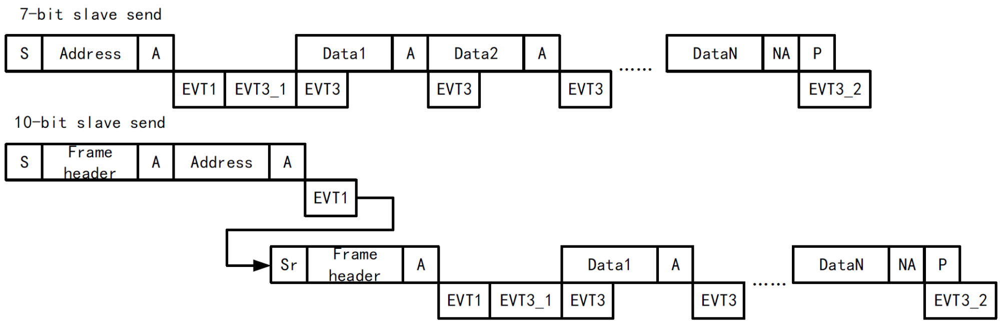
スレーブモードはデフォルトで受信モードである。受信したヘッダーシーケンスの最下位ビットが1である場合、または7ビットアドレスの最下位ビットが1である場合（ヘッダーシーケンスが初回受信か通常の7ビットアドレスかに依存）、I2Cモジュールは送信モードへ移行し、TRAビットが現在の受信／送信モードを示す。

スレーブ送信モード：

ADDRビットがクリアされた後、I2Cモジュールはシフトレジスタを介してデータレジスタのバイトをSDAラインへ送信する。ACK応答を受信するとTxEビットがセットされ、ITEVTENおよびITBUFENがセットされている場合は割り込みが生成される。

TxEビットがセットされており、次のデータ送信完了前に新しいデータがデータレジスタへ書き込まれていない場合、BTFビットがセットされる。BTFがクリアされるまでSCLはLowのままとなる。ステータスレジスタ1（R16_I2Cx_STAR1）を読み出し、次にデータレジスタへデータを書き込むことでBTFビットはクリアされる。

図13-6：送信シーケンス



説明：
S = Start（スタートコンディション）
Sr = Repeated Start（繰り返しスタートコンディション）
P = Stop（ストップコンディション）
A = 応答（ACK）
NA = 非応答（NACK）
EVTx = イベント（ITEVFEN = 1 の場合に割り込みが生成される）

- EVT1：ADDR = 1。SR1を読み出し、次にSR2を読み出すことでイベントがクリアされる。
- EVT3_1：TxE = 1。シフトレジスタ空、データレジスタ空。DRレジスタへ書き込み。
- EVT3：TxE = 1。シフトレジスタは空でない、データレジスタは空。DRレジスタへの書き込みでイベントがクリアされる。
- EVT3_2：AF = 1。SR1レジスタのAFビットに'0'を書き込むことでAFビットをクリアする。

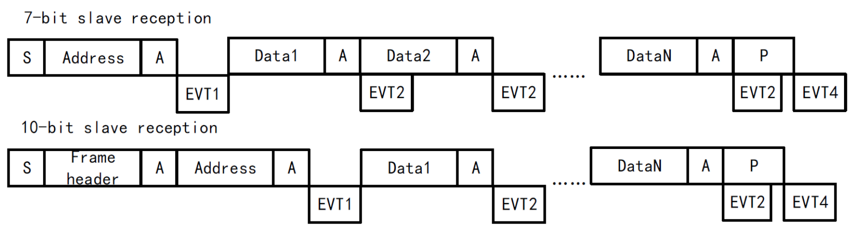
注記：
1．EVT1およびEVT3_1のイベントは、対応するソフトウェアシーケンスが完了するまでSCLをLowに保持する。
2．EVT3のソフトウェアシーケンスは、現在のバイト転送が終了する前に完了している必要がある。

スレーブ受信モード:

ADDRビットがクリアされた後、I2CモジュールはSDAライン上のデータをシフトレジスタ経由でデータレジスタに格納する。各バイト受信後、ACKビットがセットされ、RxNEビットがセットされる。ITEVTENおよびITBUFENがセットされている場合、割り込みが生成される。

RxNEビットがセットされており、古いデータが新しいデータの受信前に読み出されていない場合、BTFビットがセットされる。BTFがクリアされるまでSCLはLowのままとなる。ステータスレジスタ1(R16_I2Cx_STAR1)を読み出し、次にデータレジスタを読み出すことでBTFビットはクリアされる。

図13-7:受信シーケンス



説明:
S = Start(スタートコンディション)
Sr = Repeated Start(繰り返しスタートコンディション)
P = Stop(ストップコンディション)
A = 応答(ACK)
NA = 非応答(NACK)
EVTx = イベント(ITEVFEN = 1 の場合に割り込みが生成される)

- EVT1:ADDR = 1。SR1を読み出し、次にSR2を読み出すことでイベントがクリアされる。
- EVT2:RxNE = 1。DRレジスタを読み出すことでイベントがクリアされる。
- EVT4:STOPF = 1。SR1を読み出し、次にCR1レジスタへ書き込みを行うことでイベントがクリアされる。

注記:
1. EVT1イベントは、対応するソフトウェアシーケンスが完了するまでSCLをLowに保持する。
2. EVT2のソフトウェアシーケンスは、現在のバイト転送が終了する前に完了している必要がある。

マスタデバイスは、最後のデータバイトの転送後にストップコンディションを生成する。I2CモジュールがストップイベントをSTOPFビットがセットされ、ITEVFENビットがセットされている場合は割り込みも生成される。ユーザはステータスレジスタ(R16_I2Cx_STAR1)を読み出し、その後制御レジスタ(例:リセット制御語 SWRST)へ書き込みを行うことでSTOPFビットをクリアする必要がある(図中のEVT4参照)。

13.5 エラー条件

13.5.1 バスエラー(BERR)

アドレスまたはデータ転送中に外部のスタートまたはストップイベントをI2Cモジュールが検出すると、バスエラーが発生する。このとき、BERRビットがセットされ、ITERRENビットがセットされていれば割り込みが生成される。

スレーブモードでは、受信中のデータは破棄され、ハードウェアがバスを解放する。スタート信号であれば、ハードウェアはそれをリスタート信号とみなし、アドレスまたはストップ信号の待機を開始する。ストップ信号であれば、通常のストップ条件に先行して処理される。

マスタモードでは、ハードウェアはバスを解放せず、現在の転送には影響しない。転送を中止するかどうかはユーザコードの判断に委ねられる。

13.5.2 応答失敗（AF）

I2Cモジュールがバイトを検出した後に応答がない場合、応答エラーが発生する。このときAFビットがセットされ、ITERRENビットがセットされていれば割り込みが生成される。AFエラーが発生した場合、I2Cモジュールがスレーブモードで動作しているときはハードウェアがバスを解放し、マスタモードで動作しているときはソフトウェアがストップイベントを生成する必要がある。

13.5.3 アービトレーションロスト（ARLO）

I2Cモジュールがアービトレーションロストを検出すると、アービトレーションロストエラーが発生する。このときARLOビットがセットされ、ITERRENビットがセットされていれば割り込みが生成される。I2Cモジュールはスレーブモードへ切り替わり、ホストによって新たなスタートイベントが生成されない限り、自身のスレーブアドレスに対して開始された転送には応答しなくなる。ハードウェアはバスを解放する。

13.5.4 オーバーラン／アンダーランエラー（OVR）

・オーバーランエラー

スレーブモードにおいてクロックストレッチ（クロック延長）が無効であり、I2Cモジュールがデータを受信中の場合、1バイトのデータを受信したにもかかわらず、前回受信したデータがまだ読み出されていないと、オーバーランエラーが発生する。オーバーランエラーが発生すると、最後に受信したバイトは破棄され、送信側は直前に送信したバイトを再送する必要がある。

・アンダーランエラー

スレーブモードにおいてクロックストレッチが禁止されており、I2Cモジュールがデータを送信中の場合、次のクロックバイトの立ち上がり前に新しいデータがデータレジスタに書き込まれていないと、アンダーランエラーが発生する。アンダーランエラーが発生すると、前回のデータレジスタの内容が2回送信され、受信側は重複して受信したデータを破棄する必要がある。アンダーランエラーを防ぐには、次のバイトの最初の立ち上がりエッジより前に、データレジスタへデータを書き込む必要がある。

13.6 クロックストレッチ（Clock Extension）

クロックストレッチが無効である場合、オーバーラン／アンダーランエラーが発生する可能性がある。一方、クロックストレッチが有効である場合：

- 送信モードでは、TxEビットおよびBTFビットがセットされていると、SCLは常にLowのままとなり、ユーザがステータスレジスタを読み出し、送信データをデータレジスタに書き込むのを待機する。
- 受信モードでは、RxNEビットおよびBTFビットがセットされていると、データ受信後もSCLはLowのままとなり、ユーザがステータスレジスタおよびデータレジスタを読み出すまで待機する。

したがって、クロックストレッチを有効にすることで、オーバーラン／アンダーランエラーの発生を回避できる。

13.7 SMBus

SMBusは2線式インタフェースであり、主にシステムと電源管理間で使用される。SMBusとI^2Cには多くの共通点があり、たとえばSMBusはI^2Cと同様に7ビットアドレスモードを使用する。以下は両者に共通する特徴である:

1. マスタ・スレーブ通信モードで、ホストがクロックを供給し、複数のマスタおよびスレーブをサポートする。
2. 2線式通信構成で、SMBusでは警告ライン(オプション)も使用可能。
3. 両者とも7ビットアドレス形式をサポートする。

一方、SMBusとI^2Cには以下のような違いもある:

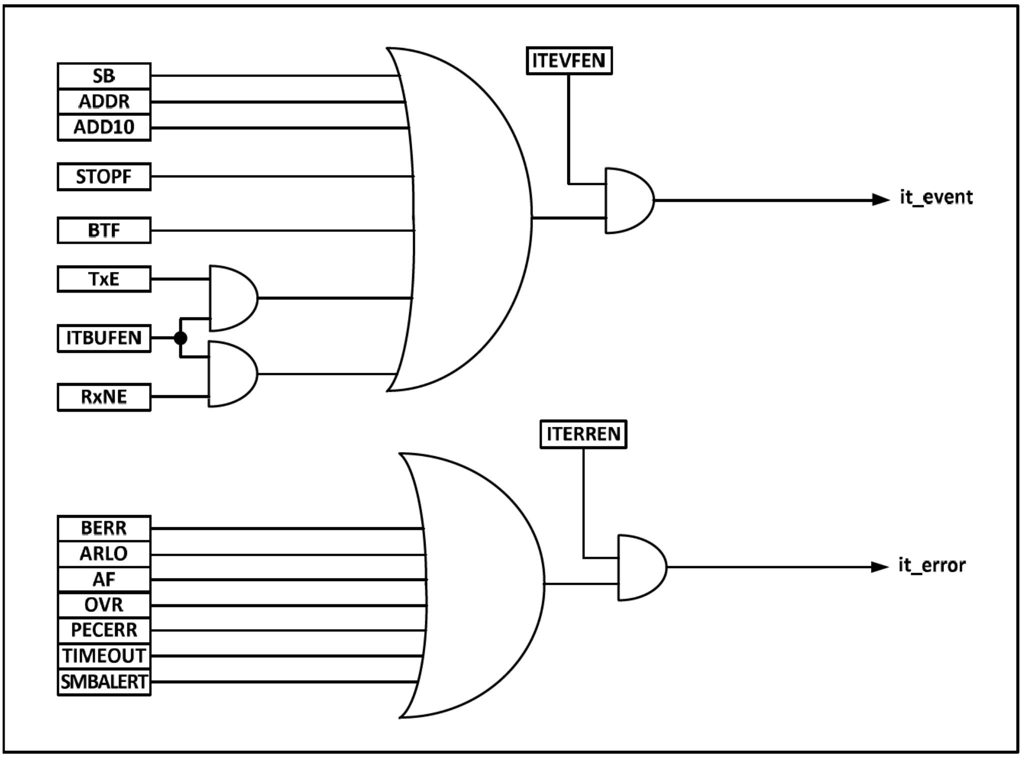
1. I^2Cは最大400kHzの通信速度をサポートするが、SMBusは最大100kHzであり、さらに最低速度制限として10kHzが設けられている。
2. SMBusではクロックが35ms以上Lowのままであるとタイムアウトが報告されるが、I^2Cにはこのような制限はない。
3. SMBusは論理レベルが固定されているが、I^2CはVDDに依存して変化する。
4. SMBusにはバスプロトコルが定義されているが、I^2Cにはそれがない。

SMBusはさらに、デバイス識別、アドレス解決プロトコル、一意なデバイス識別子、SMBusリマインダ、その他各種バスプロトコルを含んでおり、これらはSMBus仕様バージョン2.0に記載されている。SMBusを使用する際は、制御レジスタのSMBusビットをセットするだけでよく、必要に応じてSMBTYPEビットおよびENAARPビットを設定する。

13.8 割り込み

各I²Cモジュールには、イベント割り込みとエラー割り込みの2種類の割り込みベクタが存在する。これらの割り込みは、図13-4に示されるすべての割り込み要因に対応している。

図13-4 I2C割り込み要求



13.9 DMA

DMAは大量データの送受信に使用可能である。DMA使用時は制御レジスタのITBUFENビットをセットしてはならない。

DMAを使用した送信

DMAモードはCTLR2レジスタのDMAENビットをセットすることで有効化される。TxEビットがセットされている限り、DMAは設定されたメモリからI2Cのデータレジスタへデータをロードする。I2C用にチャネルを割り当てるには以下の設定が必要:

1. I2Cx_DATARレジスタのアドレスをDMA_PADDRxレジスタに設定し、メモリアドレスをDMA_MADDRxレジスタに設定する。これにより、各TxEイベント後にメモリからI2Cx_DATARレジスタへデータが送信される。
2. DMA_CNTRxレジスタに転送するバイト数を設定する。この値は各TxEイベント後にデクリメントされる。
3. DMA_CFGRxレジスタのPL[0:1]ビットでチャネル優先度を設定する。
4. DMA_CFGRxレジスタのDIRビットをセットし、アプリケーション要件に応じて転送が半分または全体完了した際に割り込み要求を発行するよう設定可能。
5. DMA_CFGRxレジスタのENビットをセットしてチャネルを有効化する。

DMAコントローラで設定されたデータ転送バイト数が完了すると、DMAコントローラはI2Cインタフェースへ転送終了信号(EOT/EOT_1)を送信する。割り込みが許可されていればDMA割り込みが生成される。

DMAを使用した受信

DMA受信モードはCTLR2レジスタのDMAENビットをセットすることで実行可能である。DMA受信使用時、DMAはデータレジスタの内容を設定済みのメモリ領域へ転送する。I2C用にチャネルを割り当てるには以下の手順が必要:

1. I2Cx_DATARレジスタのアドレスをDMA_PADDRxレジスタに設定し、メモリアドレスをDMA_MADDRxレジスタに設定する。これにより、各RxNEイベント後にI2Cx_DATARレジスタからメモリへデータが書き込まれる。
2. DMA_CNTRxレジスタに転送するバイト数を設定する。この値は各RxNEイベント後にデクリメントされる。
3. 3) DMA_CFGRxレジスタのPL[0:1]ビットでチャネル優先度を設定する。
4. DMA_CFGRxレジスタのDIRビットはクリアされ、アプリケーション要件に応じて転送が半分または全体完了した際に割り込み要求を発行するよう設定可能。
5. DMA_CFGRxレジスタのENビットをセットしてチャネルを有効化する。

DMAコントローラで設定されたデータ転送バイト数が完了すると、DMAコントローラはI2Cインタフェースへ転送終了信号(EOT/EOT_1)を送信する。割り込みが許可されていればDMA割り込みが生成される。

13.10 パケットエラー検出（Packet Error Checking）

　PEC（Packet Error Checksum）は、伝送信頼性を確保するための追加のCRC8チェックサム処理であり、以下の多項式に基づいてシリアルデータの各ビットに対して計算される。

C = X^8 + X^2 + X + 1

　PECの計算は、制御レジスタのENPECビットをセットすることで有効化され、アドレスおよび読出／書込ビットを含むすべての情報バイトに対して実行される。

　送信時には、PECを有効にすると、最後のデータバイトの後にCRC8計算結果の1バイトが追加される。受信時には、最後のバイトがCRC8チェック結果とみなされ、内部計算結果と一致しない場合はNAK応答を返す。主受信側の場合は、チェック結果の正否に関わらずNAKを返す。

13.11 レジスタ詳細

表13-1 I2C関連レジスター覧

Name	Access address	Description	Reset value
R16_I2C_CTLR1	0x40005400	I2C control register 1	0x0000
R16_I2C_CTLR2	0x40005404	I2C control register 2	0x0000
R16_I2C_OADDR1	0x40005408	I2C address register 1	0x0000
R16_I2C_OADDR2	0x4000540C	I2C address register 2	0x0000
R16_I2C_DATAR	0x40005410	I2C data register	0x0000
R16_I2C_STAR1	0x40005414	I2C status register 1	0x0000
R16_I2C_STAR2	0x40005418	I2C status register 2	0x0000
R16_I2C_CKCFGR	0x4000541C	I2C clock register	0x0000

13.11.1 I2C Control Register 1(I2C1_CTLR1)

Offset address: 0x00

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWRST	Reserved		PEC	POS	ACK	STOP	START	NOSTRETCH	ENGC	ENPEC	Reserved				PE

Bit	Name	Access	Description	Reset value
15	SWRST	RW	ソフトウェアリセット。ユーザコードでこのビットをセットすると、I2Cペリフェラルがリセットされる。リセット前にI2Cバスのピンが解放され、バスがアイドル状態であることを確認すること。 注:このビットは、バス上にストップ条件が検出されていないがBUSYビットが1である場合にI2Cモジュールをリセットする。	0
[14:13]	Reserved	RO	Reserved	0
12	PEC	RW	パケットエラー検出ビット。パケットエラー検出を有効にするにはこのビットをセットする。ユーザコードによりセットまたはクリア可能。PECが送信されたとき、スタートまたはエンド信号が生成されたとき、またはPEビットが0にクリアされたときにハードウェアがこのビットをクリアする。 1:PEC有効 0:PEC無効 注:アービトレーションが失われた場合、PECは無効となる。	0
11	POS	RW	ACKおよびPEC位置設定ビット。ユーザコードによりセットまたはクリア可能であり、PEビットがクリアされた後にハードウェアによってクリアされる場合がある。 1:ACKビットは、シフトレジスタで次に受信されるバイトに対するACKまたはNAKを制御する。PECシフトレジスタで次に受信されるバイトはPECである。 0:ACKビットは、現在シフトレジスタで受信中のバイトに対するACKまたはNAKを制御する。PECビットは、現在のビットの前にシフトレジスタにあるバイトがPECであることを示す。 注:POSビットは2バイトデータ受信時に以下のように使用される。受信前に設定しておく必要がある。2バイト目に対してNAKを返すには、ADDRビットをクリアした直後にACKビットをクリアする必要がある。2バイト目のPECを検出するには、ADDRイベント後にPOSビットを設定したうえでPECビットをセットする必要がある。	0
10	ACK	RW	応答有効化。ソフトウェアによりこのビットをセットおよびクリア可能であり、PE == 0のときハードウェアによってクリアされる。 1:1バイト受信後にACKを返す。 0:ACKを返さない。	0
9	STOP	RW	ストップ生成ビット。このビットはソフトウェアによってセットおよびクリアされ、ストップ条件が検出されたときにハードウェアによってクリアされ、タイムアウトエラーが検出されたときにハードウェアによってセットされる。 マスタモード: 1:現在のバイト転送後、または現在のスタート条件送信後にストップを生成する。 0:ストップを生成しない。 スレーブモード: 1:現在のバイト転送後にSCLおよびSDAラインを解放する。 0:ストップを生成しない。	0

8	START	RW	スタート生成。このビットはソフトウェアによってセットおよびクリアされ、スタートが送信されたときまたはPE == 0のときにハードウェアによってクリアされる。 マスタモード: 1:リピートスタートを生成する 0:スタートを生成しない スレーブモード: 1:バスが空いているときにスタートを生成する 0:スタートを生成しない	0
7	NOSTRETCH	RW	クロックストレッチ無効化ビット。このビットは、スレーブモードにおいてADDRまたはBTFフラグがセットされたときにクロックストレッチを無効化するために使用され、ソフトウェアによってリセットされるまで有効である。 1:クロックストレッチ無効 0:クロックストレッチ有効	0
6	ENGC	RW	ゼネラルコール有効化ビット。このビットをセットすると、ブロードキャストコールが有効になり、ブロードキャストアドレス00hに応答する。	0
5	ENPEC	RW	PEC有効化ビット。PEC計算を有効にするにはこのビットをセットする。	0
[4:1]	Reserved	RO	Reserved	0
0	PE	RW	I2Cペリフェラル有効化ビット。 1:I2Cモジュールを有効化する。 0:I2Cモジュールを無効化する。	0

13.11.2 I2C Control Register 2(I2C1_CTLR2)

Offset address: 0x04

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			LAST	DMAEN	ITBUFEN	ITEVTEN	ITERREN	Reserved		FREQ[5:0]					

Bit	Name	Access	Description	Reset value
[15:13]	Reserved	RO	Reserved	0
12	LAST	RW	DMA最終転送ビット。 1:次のDMA転送終了(EOT)は最終転送である。 0:次のDMA転送終了(EOT)は最終転送ではない。 注:このビットはマスタ受信モードにおいて、最後に受信したデータに対してNAKを生成することを許可するために使用される。	0
11	DMAEN	RW	DMA要求有効化ビット。TxEまたはRxENがセットされたときにDMA要求を許可するには、このビットをセットする。	0
10	ITBUFEN	RW	バッファ割り込み有効化ビット。 1:TxEまたはRxENがセットされたとき、イベント割り込みが生成される。 0:TxEまたはRxENがセットされても、割り込みは生成されない。	0
9	ITEVTEN	RW	イベント割り込み有効化ビット。このビットをセットするとイベント割り込みが有効になる。以下の条件で割り込みが生成される: SB == 1(マスタモード) ADDR == 1(マスタ・スレーブモード) ADDR10 == 1(マスタモード) STOPF == 1(スレーブモード) BTF == 1 かつ TxE または RxEN イベントなし TxE == 1(ITBUFEN == 1 の場合) RxNE == 1(ITBUFEN == 1 の場合)	0
8	ITERREN	RW	エラー割り込み有効化ビット。エラー割り込みを許可するにはこのビットをセットする。 以下の条件で割り込みが生成される: BERR == 1、ARLO == 1、AF == 1、OVR == 1、PECERR == 1、TIMEOUT == 1、SMBAlert == 1。	0
[7:6]	Reserved	RO	Reserved	0
[5:0]	FREQ [5:0]	RW	I2Cモジュールのクロック周波数フィールド。このフィールドには、正しいタイミングを生成するために正確なクロック周波数を設定する必要があり、設定可能な範囲は8～48MHzである。設定値はMHz単位で、2進数で001000b～110000bの範囲内で指定する必要がある。	0

13.11.3 I2C Own Address Register 1(I2C1_OAR1)

Offset address: 0x08

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDMODE	Reserved					ADD[9:8]		ADD[7:1]							ADD0

Bit	Name	Access	Description	Reset value
15	ADDMODE	RW	アドレスモード。 1:10ビットスレーブアドレス(7ビットアドレスには応答しない) 0:7ビットスレーブアドレス(10ビットアドレスには応答しない)	0
[14:10]	Reserved	RO	Reserved	0
[9:8]	ADD[9:8]	RW	インターフェースアドレス。10ビットアドレス使用時にビット9～8が使用され、7ビットアドレス使用時には無視される。	0
[7:1]	ADD[7:1]	RW	インターフェースアドレス、ビット7～1。	0
0	ADD0	RW	インターフェースアドレス、10ビットアドレス使用時のビット0。7ビットアドレス使用時には無視される。	0

13.11.4 I2C Own Address Register 2(I2C1_OAR2)

Offset address: 0x0C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								ADD2[7:1]							ENDUAL

Bit	Name	Access	Description	Reset value
[15:8]	Reserved	RO	Reserved	0
[7:1]	ADD2[7:1]	RW	インターフェースアドレス、デュアルアドレスモードにおけるアドレスのビット7～1。	0
0	ENDUAL	RW	デュアルアドレスモード有効化ビット。このビットをセットすると、ADD2も認識対象として有効になる。	0

13.11.5 I2C Data Register (I2C_DATAR)

Offset address: 0x10

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								DR[7:0]							

Bit	Name	Access	Description	Reset value
[15:8]	Reserved	RO	Reserved	0
[7:0]	DR[7:0]	RW	データレジスタ。このフィールドは、受信したデータの格納、またはバスに送信するデータの格納に使用される。	0

13.11.6 I2C Status Register 1(I2C_STAR1)

Offset address: 0x14

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			PECERR	OVR	AF	ARLO	BERR	TxE	RxNE	Reserved	STOPF	ADD10	BTF	ADDR	SB

Bit	Name	Access	Description	Reset value
[15:13]	Reserved	RO	Reserved	0
12	PECERR	RW0	PECエラーフラグビットは受信時に発生し、ユーザーによる0の書き込み、またはPEがLowになることでハードウェアによってリセットされる。 1:PECエラーが発生しており、PECが受信され、NAKが返される。 0:PECエラーなし。	0
11	OVR	RW0	オーバーランおよびアンダーランフラグビット。 1:オーバーランまたはアンダーランイベントが発生している。NOSTRETCH == 1 の状態で、受信モード中に新しいバイトが受信された際、データレジスタの内容が読み出されていない場合は新しいバイトが失われる。送信モード中に新しいデータがデータレジスタに書き込まれない場合は、同じバイトが2回送信される。 0:オーバーランまたはアンダーランイベントなし。	0
10	AF	RW0	アクノレッジ失敗ビット。ソフトウェアによる0の書き込み、またはPE == 0のときにハードウェアによってクリアされる。 1:アクノレッジ失敗が発生している。 0:アクノレッジ失敗なし。	0
9	ARLO	RW0	アービトレーションロストビット。ソフトウェアによる0の書き込み、またはPE == 0のときにハードウェアによってクリアされる。 1:アービトレーションロストが検出された。 0:アービトレーションロストは検出されていない。	0
8	BERR	RW0	バスエラーフラグビット。ユーザーによる0の書き込み、またはPEがLowになることでハードウェアによってリセットされる。 1:スタートまたはストップ条件にエラーがある。 0:正常。	0
7	TxE	RO	データレジスタ空ビット。DRレジスタへのソフトウェア書き込み、またはスタート／ストップ条件後、あるいはPE == 0のときにハードウェアによってクリアされる。 1:データレジスタは空である。 0:データレジスタは空ではない。	0
6	RxNE	RO	データレジスタ未空ビット。DRレジスタの読み取りまたは書き込み、あるいはPE == 0のときにハードウェアによってクリアされる。 1:データレジスタは空ではない。 0:データレジスタは空である。	0
5	Reserved	RO	Reserved	0
4	STOPF	RO	ストップ検出ビット。SR1レジスタの読み取り後にCR1レジスタへの書き込みを行うことでソフトウェアによりクリアされるか、PE == 0 のときにハードウェアによってクリアされる。 1:ACK == 1 の場合、スレーブがバス上のストップ条件を検出するとハードウェアによってセットされる。 0:ストップ条件は検出されていない。	0

3	ADD10	RO	10ビットヘッダー送信ビット。SR1レジスタの読み取り後にDRレジスタへ第2アドレスバイトを書き込むことでソフトウェアによりクリアされるか、PE == 0 のときにハードウェアによってクリアされる。 1:マスタが最初のアドレスバイトを送信した。 0:ADD10イベントは発生していない。	0
2	BTF	RO	バイト転送完了ビット。SR1レジスタの読み取り後にDRレジスタへの読み取りまたは書き込みを行うことでソフトウェアによりクリアされる。また、送信中のスタート／ストップ条件後、またはPE == 0 のときにハードウェアによってクリアされる。 1:データバイトの転送が成功した。NOSTRETCH == 0 の場合、送信時に新しいデータが送信され、データレジスタに新しいデータがまだ書き込まれていない場合、または受信時に新しいバイトが受信され、データレジスタがまだ読み取られていない場合にセットされる。 0:データバイトの転送は完了していない。	0
1	ADDR	RW0	アドレス送信／一致ビット。このビットは、SR1レジスタの読み取り後にSR2レジスタを読み取ることでソフトウェアによりクリアされるか、PE == 0 のときにハードウェアによってクリアされる。 マスタモードの場合: 1:アドレス送信の終了。10ビットアドレス指定では第2バイトのACK後にセットされる。7ビットアドレス指定ではバイトのACK後にセットされる。 0:アドレス送信の終了なし。 スレーブモードの場合: 1:受信したアドレスが一致した。 0:アドレスが一致しない、または受信されていない。	0
0	SB	RO	スタートビット。SR1レジスタの読み取り後にDRレジスタへの書き込みを行うことでソフトウェアによりクリアされるか、PE == 0 のときにハードウェアによってクリアされる。 1:スタート条件が生成された。 0:スタート条件なし。	0

13.11.7 I2C Status Register 2(I2C_STAR2)

Offset address: 0x18

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PEC[7:0]								DUALF	Reserved		GENCALL	Reserved	TRA	BUSY	MSL

Bit	Name	Access	Description	Reset value
[15:8]	PEC[7:0]	RO	パケットエラーチェックビット。PECが有効(ENPECがセット)されている場合、このフィールドにはPECの値が格納される。	0
7	DUALF	RO	デュアルフラグ。ストップ条件または繰り返しスタート条件の後、またはPE == 0 のときにハードウェアによってクリアされる。 1:受信したアドレスがOAR2と一致した。 0:受信したアドレスがOAR1と一致した。	0
[6:5]	Reserved	RO	Reserved	0
4	GENCALL	RO	ゼネラルコールアドレスビット。ストップ条件または繰り返しスタート条件の後、またはPE == 0 のときにハードウェアによってクリアされる。 1:ENGC == 1 の場合、ゼネラルコールアドレスが受信された。 0:ゼネラルコールなし。	0
3	Reserved	RO	Reserved	0
2	TRA	RO	送信／受信ビット。ストップ条件(STOPF == 1)の検出後、繰り返しスタート条件、バスアービトレーションの喪失(ARLO == 1)、または PE == 0 のときにハードウェアによってクリアされる。 1:データバイトが送信された。 0:データバイトが受信された。 このビットはアドレスバイトの R/W ビットに応じてセットされる。	0
1	BUSY	RO	バスビジービット。ストップ条件の検出時にハードウェアによってクリアされる。この情報は、インターフェースが無効(PE == 0)の場合でも更新される。 1:バス上で通信が継続中。SDAまたはSCLにLowレベルが存在している。 0:バス上で通信は行われていない。	0
0	MSL	RO	マスタ／スレーブビット。インターフェースがマスタモード(SB == 1)になると、ハードウェアによってセットされる。バス上でストップ条件が検出された場合、アービトレーションの喪失(ARLO == 1)が発生した場合、または PE == 0 のときにハードウェアによってクリアされる。	0

13.11.8 I2C Clock Register (I2C1_CKCFGR)

Offset address: 0x1C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
F/S	DUTY	Reserved		CCR[11:0]											

Bit	Name	Access	Description	Reset value
15	F/S	RW	マスタモード選択ビット。 1:Fmモード(ファーストモード)I^2C。 0:Smモード(スタンダードモード)I^2C。	0
14	DUTY	RW	ファーストモードにおけるデューティサイクル設定ビット。 1:Lowレベル期間／Highレベル期間 = 16／9。 0:Lowレベル期間／Highレベル期間 = 2。	0
[13:12]	Reserved	RO	Reserved	0
[11:0]	CCR[11:0]	RW	Fm/Smモードにおけるクロック制御レジスタ。	0

Chapter 14 シリアル･ペリフェラル･インターフェース（SPI）

SPIは、3線式の同期シリアルモードによるデータ通信をサポートし、チップセレクトラインによってハードウェア切り替えを可能にする。また、1本のデータラインによる通信もサポートする。

14.1 主な機能

- 全二重同期シリアルモードをサポート
- 単線ハーフデュプレックスモードをサポート
- マスタモード／スレーブモード、マルチスレーブ構成をサポート
- 8ビットまたは16ビットのデータ構造に対応
- クロック周波数は最大で FHCLK の1/2まで対応
- データ順序は MSB または LSB 先行を選択可能
- NSSピンのハードウェア／ソフトウェア制御をサポート
- 送受信におけるハードウェアCRCチェックサムをサポート
- 送受信バッファはDMA転送に対応
- クロック位相および極性の変更をサポート

14.2 機能説明

14.2.1 概要

図14-1 SPI構造ブロック図

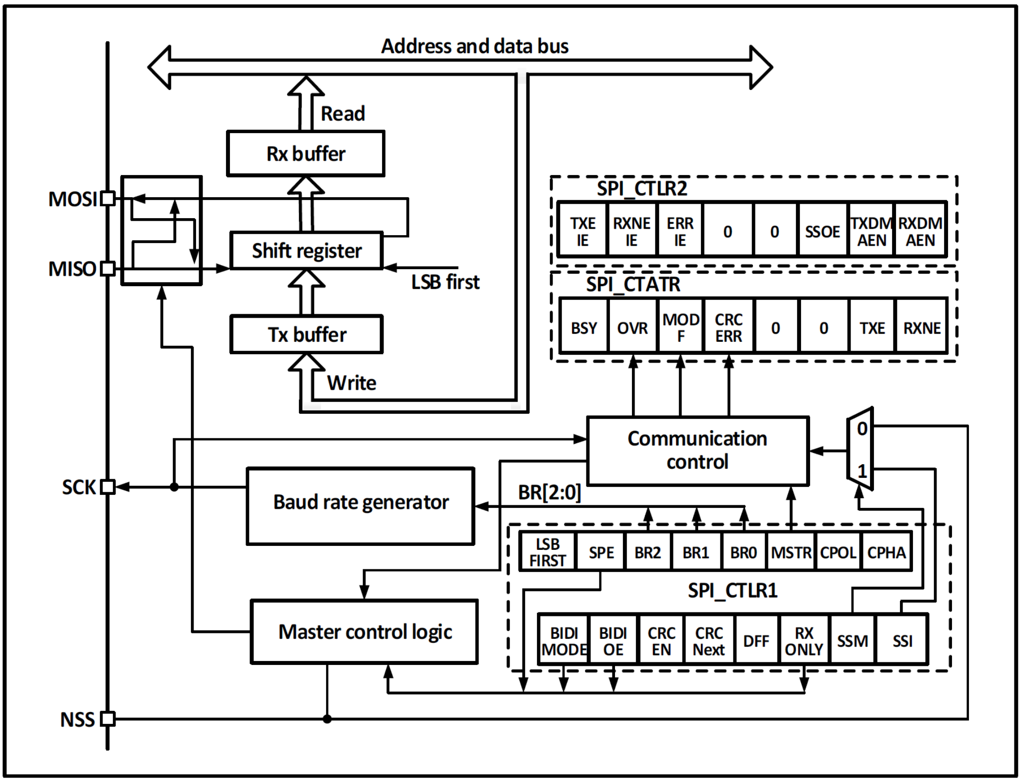


図14-1から分かるように、SPIに関連する主な4つのピンは MISO、MOSI、SCK、NSSである。

MISOピンは、SPIモジュールがマスタモードで動作している場合はデータ入力ピン、スレーブモードで動作している場合はデータ出力ピンとなる。

MOSIピンは、マスタモードで動作している場合はデータ出力ピン、スレーブモードで動作している場合はデータ入力ピンとなる。

SCKはクロックピンであり、クロック信号は常にホストから出力され、スレーブはクロック信号を受信してデータの送受信を同期する。

NSSピンはチップセレクトピンであり、以下のように使用される。

1. ソフトウェア制御によるNSS:SSMがセットされており、SSIによって内部NSS信号がHighまたはLowに制御される。この方式は一般的にSPIマスタモードで使用される。
2. ハードウェア制御によるNSS:NSS出力が有効(SSOEがセット)である場合、SPIホストが外部に出力を行う際にNSSピンをLowにアクティブに引き下げる。NSSピンの引き下げに失敗した場合、主ライン上に他のマスタデバイスが通信中であること

を示し、ハードウェアエラーが発生する。SSOEがセットされていない場合はマルチマスタモードで使用可能であり、NSSがLowに引き下げられると強制的にスレーブモードに移行し、MSTRビットは自動的にクリアされる。

CPHAがセットされている場合、モジュールはクロックの第2エッジでデータをサンプリングしてラッチする。CPHAがセットされていない場合は、第1エッジでデータをサンプリングしてラッチする。

CPOLは、データが存在しないときにクロックがHighまたはLowのどちらで保持されるかを示す。

ホストとデバイスは同じSPIモードに設定する必要があり、SPIモードを構成する前にSPEビットをクリアする必要がある。

DEFビットは、SPIの個々のデータ長が8ビットか16ビットかを決定する。

LSBFIRSTは、1ワードのデータにおいて上位ビット(MSB)または下位ビット(LSB)のどちらを先に送信するかを制御する。

表14-1 SPI mode distribution

	Mode 0	Mode 1	Mode 2	Mode 3
CPOL	0	1	0	1
CPHA	0	0	1	1

14.2.2 マスタモード

SPIモジュールがマスタモードで動作している場合、シリアルクロックはSCKによって生成される。マスタモードに構成するために以下の手順を実行する。

制御レジスタのBR[2:0]フィールドを構成してクロックを決定する。

CPOLおよびCPHAビットを構成してSPIモードを決定する。

DEFを構成してデータワード長を決定する。

LSBFIRSTを構成してフレームフォーマットを決定する。

NSSピンを構成する。例えばSSOEビットをセットしてハードウェアにNSSを制御させる。またはSSMビットをセットし、SSIビットをHighに設定することも可能である。

MSTRビットおよびSPEビットをセットするには、この時点でNSSがすでにHighであることを確認する必要がある。

データを送信する必要がある場合は、送信するデータをデータレジスタに書き込むだけでよい。SPIは送信バッファからシフトレジスタへデータを並列に転送し、LSBFIRSTの設定に従ってシフトレジスタからデータを送信する。データがすでにシフトレジスタにある場合、TXEフラグがセットされる。TXEIEがすでにセットされている場合、割り込みが生成される。TXEフラグ位置ビットがセットされた場合は、データレジスタにデータを補充して完全なデータフローを維持する必要がある。

受信側がデータを受信する場合、データワードの最後のサンプルクロックエッジが到来すると、データはシフトレジスタから受信バッファへ並列に転送され、RXNEビットがセッ

トされる。RXNEIEビットが事前にセットされていた場合、割り込みが生成される。この時点で、データレジスタをできるだけ早く読み出してデータを取り出す必要がある。

図 14-2 SPI host mode read/write mode 0

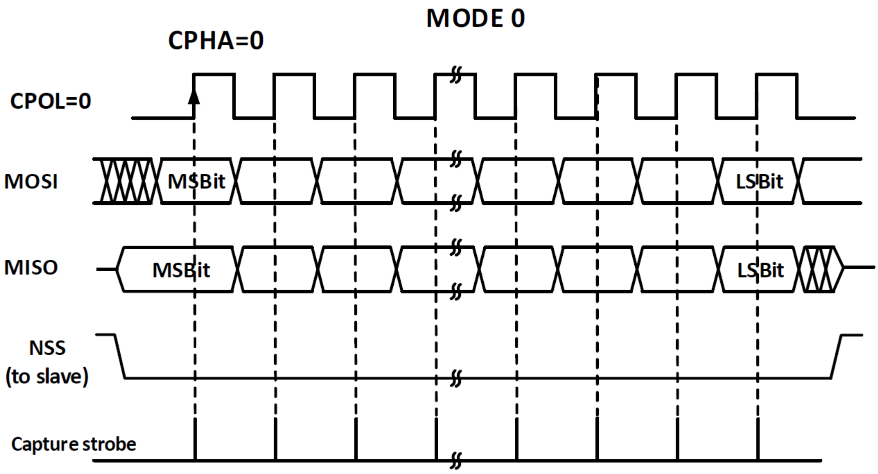


図 14-3 SPI host mode read/write mode 1

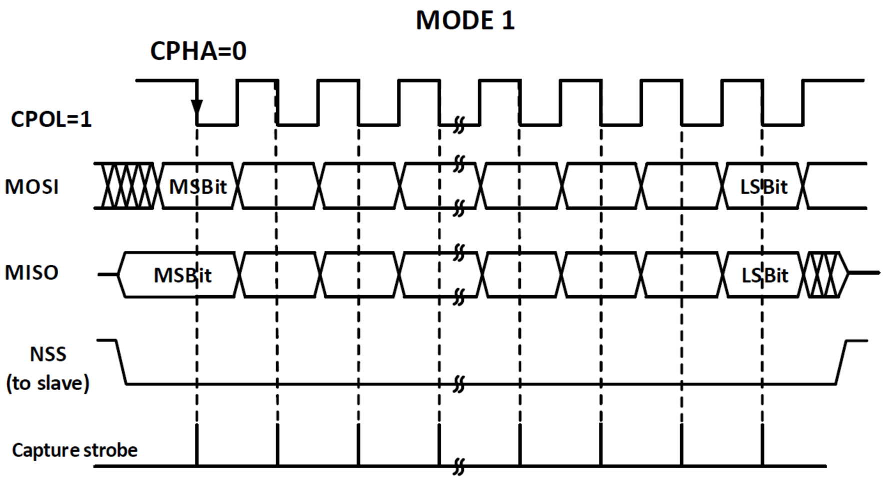


図 14-4 SPI host mode read/write mode 2

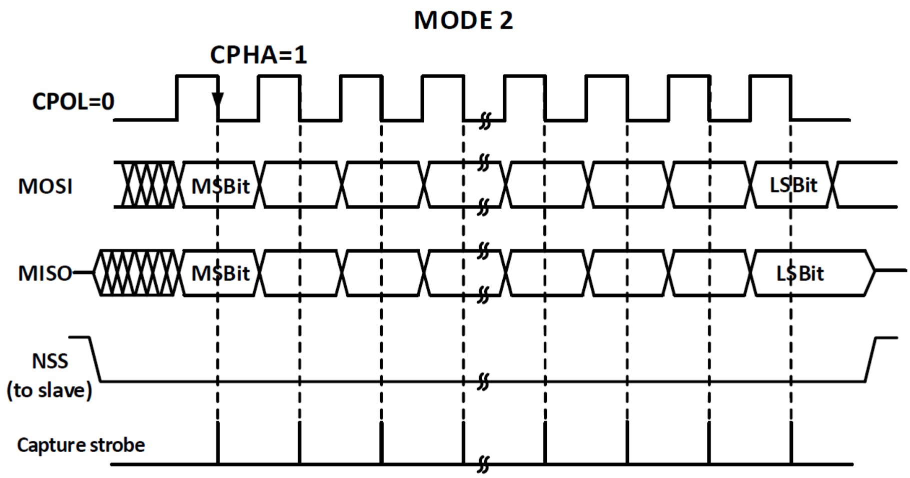
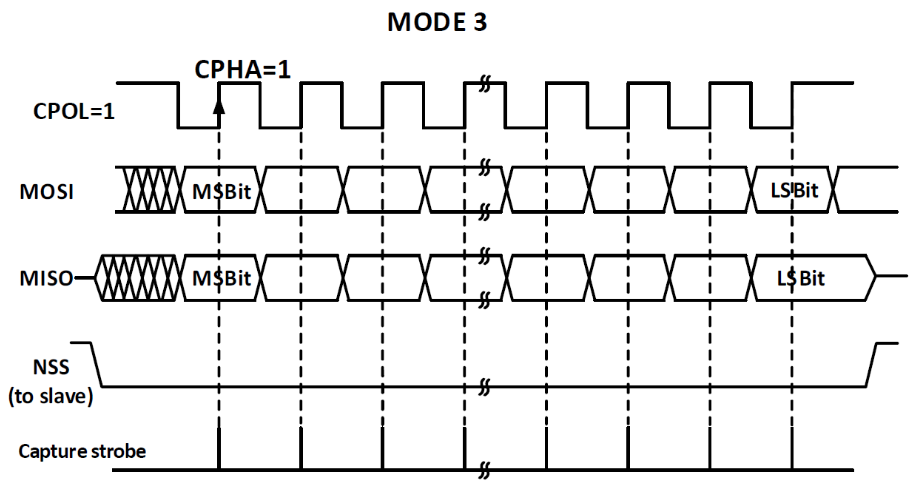


図 14-5 SPI host mode read/write mode 3



14.2.3 スレーブモード

SPIモジュールがスレーブモードで動作している場合、SCKはホストからのクロックを受信するために使用され、自身のボーレート設定は無効となる。スレーブモードに構成するには以下の手順を実行する。

DEFビットを構成してデータビット長を設定する。

CPHAを構成してホストの動作モードに一致させる。

送受信構成およびCPOLに基づいてSPI動作モードを決定する。

スレーブモードで送信が必要な場合は、CPOLを設定し、モード2またはモード3に構成する。ホスト側が必要に応じて構成を変更する可能性がある。

スレーブモードで受信のみが必要な場合は、ホストのCPOLモードに一致させるだけでよい。

LSBFIRSTを構成してホストのデータフレームフォーマットに一致させる。

NSSピンはハードウェア管理モードではLowに保持する必要がある。NSSがソフトウェア管理（SSMセット）に設定されている場合は、SSIを未設定のままにする。

MSTRビットをクリアし、SPEビットをセットしてSPIモードを有効にする。送信時には、SCKにおいて最初のスレーブ受信サンプルエッジが現れると、スレーブは送信を開始する。送信処理は、送信バッファ内のデータを送信シフトレジスタへ移動することで行われる。送信バッファ内のデータがシフトレジスタに移動されると、TXEフラグがセットされ、TXEIEビットが事前にセットされていた場合は割り込みが生成される。

受信時には、最後のクロックサンプルエッジの後にRXNEビットがセットされ、シフトレジスタで受信されたバイトが受信バッファに転送される。読み出しデータレジスタの読み出し操作により、受信バッファ内のデータを取得できる。RXNEがセットされる前にRXNEIEがセットされていた場合は、割り込みが生成される。

図 14-6 SPI slave mode read mode 0

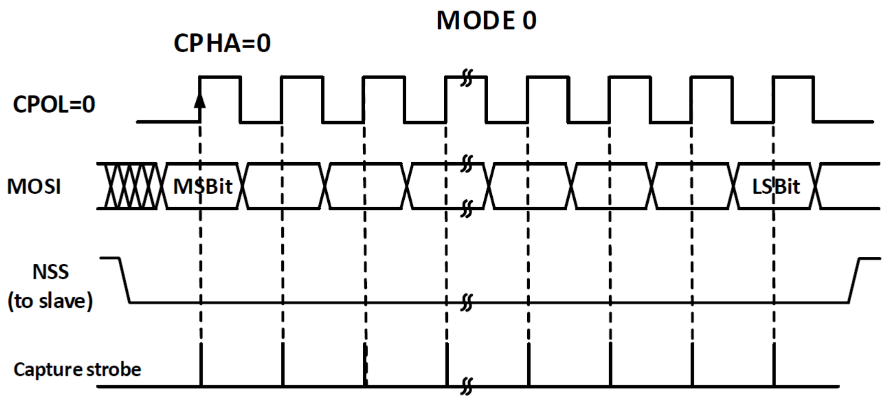


図 14-7 SPI slave mode read mode 1

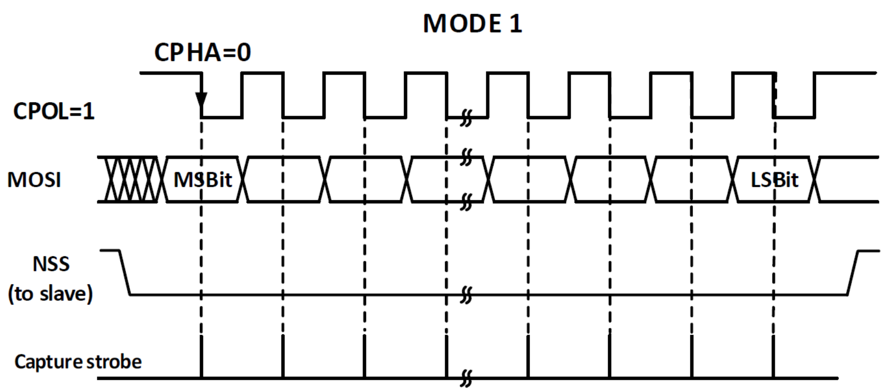


図 14-8 SPI slave mode read mode 2

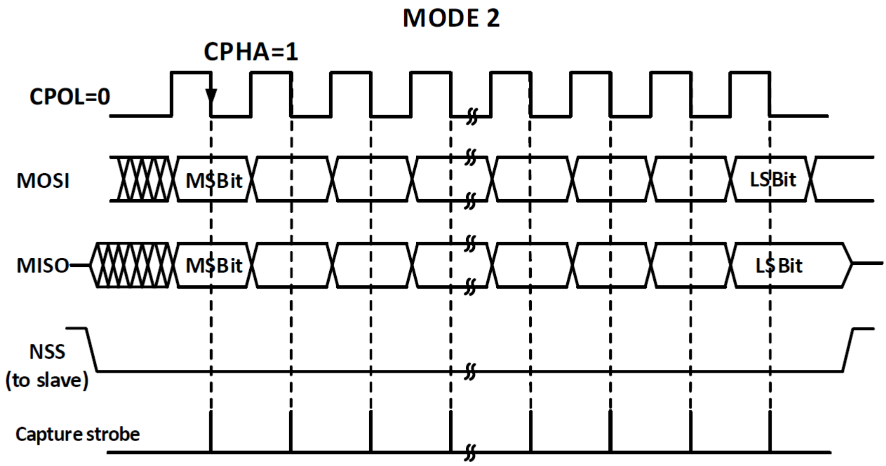
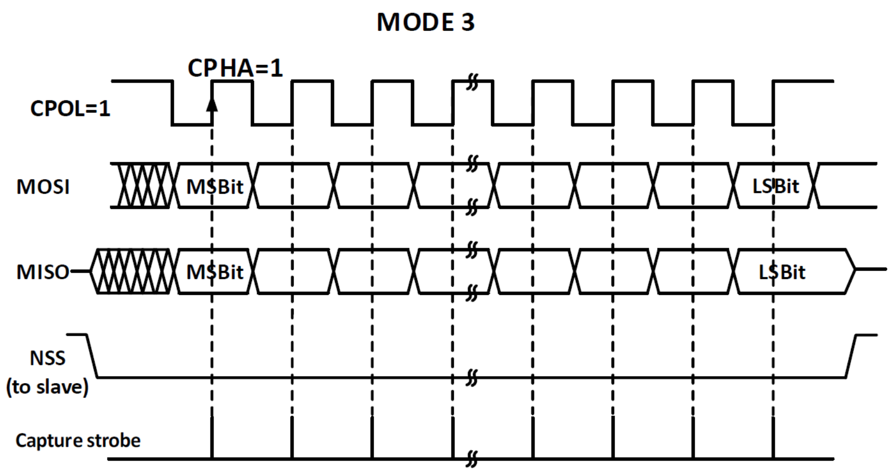


図 14-9 SPI slave mode read mode 3



14.2.4 シンプレックスモード

SPIインターフェースはハーフデュプレックスモードで動作可能であり、マスタデバイスはMOSIピンを、スレーブデバイスはMISOピンを使用して通信を行う。

ハーフデュプレックス通信を使用する場合は、BIDIMODEをセットし、BIDIOEを使用して送信方向を制御する必要がある。

通常の全二重モードにおいてRXONLYビットをセットすると、SPIモジュールは受信専用のシンプレックスモードとなり、RXONLYがセットされた後にデータピンが解放される。

SPIは、受信データを無視することで送信専用モードにも設定可能である。

14.2.5 CRC

SPIモジュールは、全二重通信の信頼性を確保するためにCRCチェックサムを使用し、送信および受信それぞれに専用のCRC計算器を使用する。CRC計算に使用される多項式は多項式レジスタによって決定され、8ビットデータ幅と16ビットデータ幅で異なる計算が使用される。

CRCENビットをセットすると、CRCチェックサムが有効化され、同時にCRC計算器がリセットされる。最後のデータバイトが送信された後にCRCNEXTビットをセットすると、現在のバイト送信後にTXCRCR計算結果が送信される。受信シフトレジスタの最後の値がローカルで計算されたRXCRCRと一致しない場合、CRCERRビットがセットされる。

CRCチェックサムを使用するには、SPI動作モードを構成する際に多項式計算器を設定し、CRCENビットをセットする必要がある。最後のワードまたはハーフワードでCRCNEXTビットをセットしてCRCを送信し、受信CRCチェックサムを実行する。CRC計算に使用する多項式は送信と受信で統一する必要がある。

14.2.6 DMA

SPIモジュールは、DMAを使用してデータ通信を高速化することが可能であり、DMAによって送信バッファを補充したり、受信バッファからタイミングよくデータを取得することができる。DMAはRXNEおよびTXEを信号として使用して、データの取得または送信をタイミングよく行う。DMAはシンプレックスモードまたはCRCモードでも動作可能である。

14.2.7 エラー

・マスタモードフォルト（MODF）

SPIがNSSピンのハードウェア管理モードで動作しているときに、外部からNSSピンがLowに引き下げられる場合、またはNSSピンがソフトウェア管理モードでSSIビットがクリアされる場合、またはSPEビットがクリアされてSPIがシャットダウンされる場合、またはMSTRビットがクリアされてSPIがスレーブモードに移行する場合にMODFが発生する。ERRIEビットがすでにセットされている場合、割り込みも生成される。MODFビットをクリアする手順：まずR16_SPI1_STATRに対して読み取りまたは書き込み操作を行い、その後R16_SPI1_CTLR1に書き込みを行う。

・オーバーラン状態

ホストがデータを送信し、スレーブデバイスの受信バッファに未読データがある場合、オーバーフローエラーが発生し、OVRビットがセットされる。ERRIEがセットされている場合、割り込みも生成される。オーバーフローエラーが発生した場合は、現在の送信を再起動する必要がある。データレジスタを読み取った後にステータスレジスタを読み取ることで、このビットはクリアされる。

・CRCエラー

受信したCRCワードとRXCRCRの値が一致しない場合、CRCエラーが発生し、CRCERRビットがセットされる。

14.2.8 割り込み

SPIモジュールは5つの割り込みソースをサポートしており、TXEIEおよびRXNEIEビットがそれぞれセットされている場合にTXEおよびRXNEイベントが発生する。上記の3つのエラー(MODF、OVR、CRCERR)もERRIEビットが有効化されている場合に割り込みを生成する。

14.3 レジスタ詳細

表14-2 SPI関連レジスター覧

Name	Access address	Description	Reset value
R16_SPI_CTLR1	0x40013000	SPI Control register1	0x0000
R16_SPI_CTLR2	0x40013004	SPI Control register2	0x0000
R16_SPI_STATR	0x40013008	SPI Status register	0x0002
R16_SPI_DATAR	0x4001300C	SPI Data register	0x0000
R16_SPI_CRCR	0x40013010	SPI Polynomial register	0x0007
R16_SPI_RCRCR	0x40013014	SPI Receive CRC register	0x0000
R16_SPI_TCRCR	0x40013018	SPI Transmit CRC register	0x0000
R16_SPI_HSCR	0x40013024	SPI High-speed control register	0x0000

14.3.1 SPI Control Register 1 (SPI_CTLR1)

Offset address: 0x00

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BIDIMODE	BIDIOE	CRCEN	CRCNEXT	DFF	RXONLY	SSM	SSI	LSBFIRST	SPE	BR[2:0]			MSTR	CPOL	CPHA

Bit	Name	Access	Description	Reset value
15	BIDIMODE	RW	双方向データモード有効ビット 1:1本線の双方向モードを選択 0:2本線の双方向モードを選択	0
14	BIDIOE	RW	双方向モードにおける出力有効ビット。BIDIMODEと併用する 1:出力を有効化、送信専用 0:出力を無効化、受信専用	0
13	CRCEN	RW	ハードウェアCRCチェックサム有効ビット。このビットはSPE == 0のときのみ書き込み可能。全二重モードでのみ使用可能 1:CRC計算を開始する 0:CRC計算を無効にする	0
12	CRCNEXT	RW	次のデータ転送後にCRCレジスタの値を送信する。このビットは最後のデータがデータレジスタに書き込まれた直後に設定する必要がある 1:CRCチェックサム結果を送信する 0:データレジスタからのデータ送信を継続する	0
11	DFF	RW	データフレームフォーマットビット。このビットはSPE == 0のときのみ書き込み可能 1:送受信に16ビットデータ長を使用する 0:送受信に8ビットデータ長を使用する	0
10	RXONLY	RW	2線モードにおける受信専用ビット。BIDIMODEと併用する。 このビットをセットすると、デバイスは受信専用となり送信を行わない。 1:受信専用、シンプレックスモード 0:全二重モード	0
9	SSM	RW	ソフトウェアスレーブ管理ビット。このビットはNSSピンのレベルがハードウェア制御かソフトウェア制御かを決定する 1:NSSピンをソフトウェアで制御する 0:NSSピンをハードウェアで制御する	0
8	SSI	RW	内部スレーブセレクトビット。SSMがセットされている場合、このビットはNSSピンのレベルを決定する 1:NSSはHigh 0:NSSはLow	0
7	LSBFIRST	RW	フレームフォーマット制御ビット。このビットは通信中に変更することはできない 1:LSBを先に送信する 0:MSBを先に送信する ※LSBはSPIがホストとして動作している場合のみサポートされる	0
6	SPE	RW	SPI有効化ビット 1:SPIを有効にする 0:SPIを無効にする	0

[5:3]	BR[2:0]	RW	ボーレート設定フィールド。このフィールドは通信中に変更できない 000:FHCLK /2 001:FHCLK /4 010:FHCLK /8 011:FHCLK /16 100:FHCLK /32 101:FHCLK /64 110:FHCLK /128 111:FHCLK /256	0
2	MSTR	RW	マスタ・スレーブ設定ビット。このビットは通信中に変更できない 1:マスタデバイスとして構成される 0:スレーブデバイスとして構成される	0
1	CPOL	RW	クロック極性選択ビット。このビットは通信中に変更できない 1:アイドル状態でSCKはHighに保持される 0:アイドル状態でSCKはLowに保持される	0
0	CPHA	RW	クロック位相設定ビット。このビットは通信中に変更できない 1:データのサンプリングは第2クロックエッジから開始される 0:データのサンプリングは第1クロックエッジから開始される	0

14.3.2 SPI Control Register 2 (SPI_CTLR2)

Offset address: 0x04

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								TXEIE	RXNEIE	ERRIE	Reserved		SSOE	TXDMAEN	RXDMAEN

Control register 2

Bit	Name	Access	Description	Reset value
[15:8]	Reserved	RO	Reserved	0
7	TXEIE	RW	送信バッファ空割り込み有効ビット。TXEがセットされたときに割り込みを生成するためには、このビットをセットする必要がある	0
6	RXNEIE	RW	受信バッファ非空割り込み有効ビット。RXNEフラグがセットされたときに割り込み要求を生成するために使用される	0
5	ERRIE	RW	エラー割り込み有効ビット。このビットをセットすると、CRCERR、OVR、MODFなどのエラーが発生した際に割り込みが生成される	0
[4:3]	Reserved	RO	Reserved	0
2	SSOE	RW	SS出力有効ビット。SS出力を無効にすることで、マルチマスタモードで動作可能となる 1:SS出力を有効にする 0:マスタモードでSS出力を無効にする	0
1	TXDMAEN	RW	送信バッファDMA有効ビット 1:送信バッファDMAを有効にする 0:送信バッファDMAを無効にする	0
0	RXDMAEN	RW	受信バッファDMA有効ビット 1:受信バッファDMAを有効にする 0:受信バッファDMAを無効にする	0

14.3.3 SPI Status Register (SPI_STATR)

Offset address: 0x08

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								BSY	OVR	MODF	CRCERR	Reserved		TXE	RXNE

Bit	Name	Access	Description	Reset value
[15:8]	Reserved	RO	Reserved	0
7	BSY	RO	ビジーフラグ。このフラグはハードウェアによってセットおよびクリアされる 1:SPIが通信中、または送信バッファが空でない状態 0:SPI(またはI2S)はビジー状態ではない	0
6	OVR	RW0	オーバーランフラグ。このフラグはハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされる 1:オーバーランが発生した 0:オーバーランは発生していない	0
5	MODF	RO	モードフォールトフラグ。このフラグはハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされる 1:モードフォールトが発生した 0:モードフォールトは発生していない	0
4	CECERR	RW0	CRCエラーフラグ。このフラグはハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされる 1:受信したCRC値がSPI_RXCRCRの値と一致しない 0:受信したCRC値がSPI_RXCRCRの値と一致する	0
[3:2]	Reserved	RO	Reserved	0
1	TXE	RO	送信バッファ空状態 1:送信バッファは空である 0:送信バッファは空ではない	1
0	RXNE	RO	受信バッファ非空状態 1:受信バッファは空ではない 0:受信バッファは空である ※備考:DATARを読み出すことで自動的にゼロクリアされる	0

14.3.4 SPI Data Register (SPI_DATAR)

Offset address: 0x0C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR[15:0]															

Bit	Name	Access	Description	Reset value
[15:0]	DR[15:0]	RW	データレジスタ。データレジスタは、受信データの格納や送信予定データの事前格納に使用される。読み出し操作は受信バッファに対応し、書き込み操作は送信バッファに対応するため、読み書きはそれぞれ異なる領域に対して行われる。 データの送受信は8ビットまたは16ビットで行うことができ、送信前に使用するビット数を決定する必要がある。8ビットで送信する場合、データレジスタの下位8ビットのみが使用され、受信時には上位8ビットが強制的に0に設定される。16ビット構造を使用する場合、データレジスタの全16ビットが使用される。	0

14.3.5 SPI1 Polynomial Register (SPI_CRCR)

Offset address: 0x10

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCPOLY[15:0]															

Bit	Name	Access	Description	Reset value
[15:0]	CRCPOLY [15:0]	RW	CRC多項式レジスタ。このレジスタにはCRC計算に使用される多項式が格納される	7h

14.3.6 SPI1 Receive CRC Register (SPI_RCRCR)

Offset address: 0x14

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXCRC[15:0]															

Bit	Name	Access	Description	Reset value
[15:0]	RXCRC [15:0]	RO	Rx CRCレジスタ。受信バイトのCRCチェックサム計算結果を格納する。CRCENをセットすると、このレジスタはリセットされる。計算にはCRCPOLYレジスタに設定された多項式が使用される。 8ビットモードでは下位8ビットのみが計算に使用され、16ビットモードでは全16ビットが使用される。BSYが0のときにこのレジスタを読み出す必要がある。	0

14.3.7 SPI1 Transmit CRC Register (SPI_TCRCR)

Offset address: 0x18

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXCRC[15:0]															

Bit	Name	Access	Description	Reset value
[15:0]	TXCRC [15:0]	RO	Tx CRCレジスタ。送信済みバイトのCRCチェックサム計算結果を格納する。CRCENをセットすると、このレジスタはリセットされる。計算にはCRCPOLYレジスタに設定された多項式が使用される。 8ビットモードでは下位8ビットのみが計算に使用され、16ビットモードでは全16ビットが使用される。BSYが0のときにこのレジスタを読み出す必要がある。	0

14.3.8 SPI High-speed Control Register (SPI_HSCR)

Offset address: 0x24

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															HSRXEN

Bit	Name	Access	Description	Reset value
[15:1]	Reserved	RO	Reserved	0
0	HSRXEN	WO	SPI高速モードでの読み出し有効ビット 1:高速読み出しモードを有効にする 0:高速読み出しモードを無効にする ※備考:チップロット番号の5桁目が2未満の場合、このモードはクロック分周が2(すなわちCTLR1レジスタのBR = 000)であるときのみサポートされる。他のロットでは制限なく有効である。このビットは書き込み専用である。	0

Chapter 15 電子署名（ESIG）

電子署名は、チップ識別情報（フラッシュメモリ領域容量および一意識別子）を含む。これは製造時にメモリモジュールのシステムストレージ領域に書き込まれ、SWD（SDI）またはアプリケーションコードによって読み出すことができる。

15.1 機能説明

Flash capacity：ユーザーアプリケーションで使用可能なフラッシュ容量を示す。

Unique identification：マイクロコントローラに固有の96ビットのバイナリコード。ユーザーは読み出しのみ可能で、変更は不可。この一意識別情報は、マイクロコントローラ（製品）のセキュリティパスワード、暗号化／復号鍵、製品シリアル番号などとして使用でき、システムのセキュリティ機構の向上や識別情報の提供に利用可能である。

上記のすべては、ユーザーによって8/16/32ビット単位で読み出し可能である。

15.2 レジスタ詳細

表15-1 ESIG関連レジスタ一覧

Name	Access address	Description	Reset value
R16_ESIG_FLACAP	0x1FFFF7E0	Flash capacity register	0xXXXX
R32_ESIG_UNIID1	0x1FFFF7E8	UID register 1	0xXXXXXXXX
R32_ESIG_UNIID2	0x1FFFF7EC	UID register 2	0xXXXXXXXX
R32_ESIG_UNIID3	0x1FFFF7F0	UID register 3	0xXXXXXXXX

15.2.1 Flash Capacity Register (ESIG_FLACAP)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
F_SIZE[15:0]															

Bit	Name	Access	Description	Reset value
[15:0]	F_SIZE[15:0]	RO	フラッシュ容量（Kbyte単位） 例：0x0080 = 128Kバイト	X

15.2.2 UID Register (ESIG_UNIID1)

<table>
<tr><td>31</td><td>30</td><td>29</td><td>28</td><td>27</td><td>26</td><td>25</td><td>24</td><td>23</td><td>22</td><td>21</td><td>20</td><td>19</td><td>18</td><td>17</td><td>16</td></tr>
<tr><td colspan="16">U_ID[31:16]</td></tr>
<tr><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr>
<tr><td colspan="16">U_ID[15:0]</td></tr>
</table>

Bit	Name	Access	Description	Reset value
[31:0]	U_ID[31:0]	RO	UIDの0～31ビット	X

15.2.3 UID Register (ESIG_UNIID2)

<table>
<tr><td>31</td><td>30</td><td>29</td><td>28</td><td>27</td><td>26</td><td>25</td><td>24</td><td>23</td><td>22</td><td>21</td><td>20</td><td>19</td><td>18</td><td>17</td><td>16</td></tr>
<tr><td colspan="16">U_ID[63:48]</td></tr>
<tr><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr>
<tr><td colspan="16">U_ID[47:32]</td></tr>
</table>

Bit	Name	Access	Description	Reset value
[31:0]	U_ID[63:32]	RO	UIDの32～63ビット	X

15.2.4 UID Register (ESIG_UNIID3)

<table>
<tr><td>31</td><td>30</td><td>29</td><td>28</td><td>27</td><td>26</td><td>25</td><td>24</td><td>23</td><td>22</td><td>21</td><td>20</td><td>19</td><td>18</td><td>17</td><td>16</td></tr>
<tr><td colspan="16">U_ID[95:80]</td></tr>
<tr><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr>
<tr><td colspan="16">U_ID[79:64]</td></tr>
</table>

Bit	Name	Access	Description	Reset value
[31:0]	U_ID[95:64]	RO	UIDの64～95ビット	X

Chapter 16 フラッシュメモリおよびユーザーオプションバイト

16.1 フラッシュメモリ構成

チップの内部フラッシュメモリは以下のように構成されている。

表16-1 フラッシュメモリ構成

Block	Name	Address Range	Size (Byte)
Main memory	Page 0	0x0800 0000 – 0x0800 003F	64
	Page 1	0x0800 0040 – 0x0800 007F	64
	Page 2	0x0800 0080 – 0x0800 00BF	64
	Page 3	0x0800 00C0 – 0x0800 00FF	64
	…	…	…
	Page 255	0x0800 3FC0 – 0x0800 3FFF	64
Infomation block	Startup program code	0x1FFF F000 – 0x1FFF F77F	2K-128
	User option bytes	0x1FFF F800 – 0x1FFF F83F	64

備考：上記のメインメモリ領域はユーザーアプリケーションの格納に使用され、1Kバイト（16ページ）単位で書き込み保護される。"vendor configuration word"領域は工場出荷時にロックされておりユーザーからアクセス不可であるが、その他の領域は条件付きでユーザー操作が可能である。

16.2 フラッシュメモリのプログラミングおよびセキュリティ

16.2.1 2種類のプログラミング／消去方式

- 標準プログラミング：このモードはデフォルトのプログラミングモード（互換モード）である。このモードでは、CPUが2バイト単位でプログラミングを行い、1Kバイト単位で消去および全体消去を行う。
- 高速プログラミング：この方式はページ操作を使用する（推奨）。特定のアンロック手順の後、64バイト単位でのプログラミングおよび消去、1Kバイト単位での消去を行う（標準の1Kバイト全体チップ消去は高速プログラミングにも適用可能）。

16.2.2 セキュリティ - 不正アクセス（読み出し、書き込み、消去）の防止

- ページ書き込み保護

- 読み出し保護

チップが読み出し保護状態にある場合:

1. メインメモリページ0～31(2Kバイト)は自動的に書き込み保護状態となり、FLASH_WPRレジスタでは制御されない。読み出し保護が解除されている状態では、すべてのメインメモリページがFLASH_WPRレジスタによって制御される。
2. システムブートコード領域、SDIモード、RAM領域は、全体チップ消去を除き、メインメモリとして消去またはプログラム可能ではない。ユーザオプションバイト領域は消去またはプログラム可能である。読み出し保護を解除しようとする(ユーザワードをプログラムする)と、チップはユーザ領域全体を自動的に消去する。

注:フラッシュメモリのプログラム／消去操作を行う際には、内部RC発振器(HSI)をオンにする必要がある。

16.3 レジスタ詳細

表16-2 FLASH関連レジスター覧

Name	Access address	Description	Reset value
R32_FLASH_ACTLR	0x40022000	Control register	0x00000000
R32_FLASH_KEYR	0x40022004	FPEC key register	X
R32_FLASH_OBKEYR	0x40022008	OBKEY register	X
R32_FLASH_STATR	0x4002200C	Status register	0x00008000
R32_FLASH_CTLR	0x40022010	Configuration register	0x00008080
R32_FLASH_ADDR	0x40022014	Address register	X
R32_FLASH_OBR	0x4002201C	Option byte register	0x0XXXXXXX
R32_FLASH_WPR	0x40022020	Write protection register	0xFFFFFFF
R32_FLASH_MODEKEYR	0x40022024	Extended key register	X
R32_FLASH_BOOT_MODEKEYR	0x40022028	Unlock BOOT key register	X

16.3.1 Control Register (FLASH_ACTLR)

Offset address: 0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Reserved														LATENCY	

Bit	Name	Access	Description	Reset value
[31:2]	Reserved	RO	Reserved	0
[1:0]	LATENCY [1:0]	RW	FLASHウェイト状態数 00:0ウェイト(推奨:0<=SYSCLK<=24MHz) 01:1ウェイト(推奨:24<=SYSCLK<=48MHz) その他:無効	0

16.3.2 FPEC Key Register (FLASH_KEYR)

Offset address: 0x04

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEYR[31:16]															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
KEYR[15:0]															

Bit	Name	Access	Description	Reset value
[31:0]	KEYR[31:0]	WO	FPECアンロックキーの入力に使用するキーは以下を含む。 RDPRTキー = 0x000000A5 KEY1 = 0x45670123 KEY2 = 0xCDEF89AB	0

16.3.3 OBKEY Register (FLASH_OBKEYR)

Offset address: 0x08

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OBKEYR[31:16]															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
OBKEYR[15:0]															

Bit	Name	Access	Description	Reset value
[31:0]	OBKEYR [31:0]	WO	OPTWREを解除するためのオプションバイトキーの入力に使用するキー	0

16.3.4 Status Register (FLASH_STATR)

Offset address: 0x0C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOCK	MODE	Reserved								EOP	WRPRTERR	Reserved			BSY

Bit	Name	Access	Description	Reset value
[31:16]	Reserved	RO	Reserved	0
15	LOCK	RW	BOOTロック 1:ロック状態、FLASH_STATA[14]フィールドへの書き込み操作は不可 0:アンロック状態、FLASH_STATR[14]フィールドへの書き込み操作が可能 注:1の書き込みは有効、0の書き込みは無効。	1
14	MODE	RW	ユーザ領域とBOOT領域の切り替え制御 1:ソフトウェアリセット後、BOOT領域へ切り替え可能 0:ソフトウェアリセット後、ユーザ領域へ切り替え可能	0
[13:6]	Reserved	RO	Reserved	0
5	EOP	RW1	操作の終了を示し、1を書き込むことで0がクリアされる。 消去またはプログラムが正常に完了するたびに、ハードウェアによって設定される。	0
4	WRPRTERR	RW1	書き込み保護エラーを示し、1を書き込むことでクリアされる。 書き込み保護が設定された場合、ハードウェアが該当アドレスを設定する。	0
[3:1]	Reserved	RO	Reserved	0
0	BSY	RO	ビジーステータスを示す 1:フラッシュ操作が進行中であることを示す 0:操作が終了したことを示す	0

注:プログラミング操作を行う際には、FLASH_CTLRレジスタのSTRTビットが0であることを確認する必要がある。

16.3.5 コンフィギュレーションレジスタ（FLASH_CTLR）

オフセットアドレス：0x10

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												BUFRST	BUFLOAD	FTER	FTPG

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLOCK	Reserved		EOPIE	Reserved	ERRIE	OBWRE	Reserved	LOCK	STRT	OBER	OBPG	Reserved	MER	PER	PG

Bit	Name	Access	Description	Reset value
[31:20]	Reserved	RO	Reserved	0
19	BUFRST	RW	BUFリセット操作	0
18	BUFLOAD	RW	データをBUFにキャッシュする	0
17	FTER	RW	高速ページ（64バイト）消去操作を実行する	0
16	FTPG	RW	高速ページプログラミング操作を実行する	0
15	FLOCK	RW1	高速プログラミングロック。1のみ書き込み可能。このビットが1のとき、高速プログラミング／消去モードは使用不可である。正しいアンロックシーケンスが検出されると、ハードウェアがこのビットを0にクリアする。ソフトウェアによって1に設定され、再ロックされる。	1
[14:13]	Reserved	RO	Reserved	0
12	EOPIE	RW	操作完了割り込み制御（FLASH_STATRレジスタのEOPが設定される） 1：割り込みの生成を許可する 0：割り込みの生成を無効にする	0
11	Reserved	RO	Reserved	0
10	ERRIE	RW	エラーステータス割り込み制御 （FLASH_STATRレジスタのPGERR／WRPRTERRが設定される） 1：割り込みの生成を許可する 0：割り込みの生成を無効にする	0
9	OBWRE	RW0	ユーザ選択ワードロック 1：ユーザオプションバイトが動作用にプログラム可能であることを示す。FLASH_OBKEYRレジスタに正しいシーケンスを書き込んだ後、ハードウェアによって設定される必要がある 0：ソフトウェアによってクリアされた後、ユーザ選択ワードが再ロックされる	0
8	Reserved	RO	Reserved	0
7	LOCK	RW1	ロック 1：FPECおよびFLASH_CTLRがロックされ、書き込み不可であることを示す。このビットには1のみ書き込み可能。正しいアンロックシーケンスが検出されると、ハードウェアがこのビットを0にクリアする。 アンロック操作が失敗した場合、このビットは次回のシステムリセットまで変更されない。	1

6	STRT	RW1	スタート 1を設定すると消去動作が開始され、ハードウェアによって自動的に0にクリアされる（BSYが0になる）。	0
5	OBER	RW	ユーザオプションバイト消去を実行する	0
4	OBPG	RW	ユーザオプションバイトのプログラミングを実行する	0
3	Reserved	RO	Reserved	0
2	MEER	RW	全消去操作を実行する（ユーザ領域全体を消去する）	0
1	PER	RW	セクター消去（1K）を実行する	0
0	PG	RW	標準的なプログラミング操作を実行する	0

16.3.6 Address Register (FLASH_ ADDR)

Offset address: 0x14

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FAR[31:16]															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
FAR[15:0]															

Bit	Name	Access	Description	Reset value
[31:0]	FAR[31:0]	WO	フラッシュメモリアドレスは、プログラミング時にはプログラム対象のアドレスであり、消去時には消去開始アドレスである。 FLASH_STATRレジスタのBSYビットが1のとき、このレジスタには書き込みできない。	0

16.3.7 Option Byte Register (FLASH_OBR)

Offset address: 0x14

<table>
<tr><td>31</td><td>30</td><td>29</td><td>28</td><td>27</td><td>26</td><td>25</td><td>24</td><td>23</td><td>22</td><td>21</td><td>20</td><td>19</td><td>18</td><td>17</td><td>16</td></tr>
<tr><td colspan="6">Reserved</td><td colspan="8">DATA1</td><td colspan="2">DATA0</td></tr>
<tr><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr>
<tr><td colspan="6">DATA0</td><td colspan="2">2’b11</td><td>STATR_MODE</td><td colspan="2">RST_MODE</td><td>STANDY RST</td><td>Reserved</td><td>IWDG SW</td><td>RDPRT</td><td>OBERR</td></tr>
</table>

Bit	Name		Access	Description	Reset value
[31:26]	Reserved		RO	Reserved	0
[25:18]	DATA1[7:0]		RO	Data byte 1	X
[17:10]	DATA0[7:0]		RO	Data byte 0	X
[9:8]			RO	2’b11	11b
7	USER	STATR_MODE	RO	電源投入時の起動モード 1:BOOT領域から起動する 0:ユーザ領域から起動する ※注:この機能は、ロット番号の下から2桁目から5桁目が「0」である製品には適用されない。	1
[6:5]		RST_MODE	RO	構成ワードのリセット遅延時間	X
4		STANDY_RST	RO	スタンバイモードにおけるシステムリセット制御	X
3		Reserved	RO	Reserved	X
2		IWDG_SW	RO	独立ウォッチドッグ(IWDG)ハードウェアイネーブルビット	1
1	RDPRT		RO	読出しプロテクトステータス 1:フラッシュメモリが現在読出し保護されていることを示す。	1
0	OBERR		RO	キーワードエラー 1:選択ワードとその反転コードが一致しないことを示す。	0

注:USERおよびRDPRTは、システムリセット後にユーザオプションバイト領域からロードされる。

16.3.8 Write Protect Register (FLASH_WPR)

Offset address: 0x20

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WPR[15:0]															

Bit	Name	Access	Description	Reset value
[31:16]	Reserved	RO	Reserved	X
[15:0]	WPR[15:0]	RO	フラッシュメモリ書き込み保護状態 1:書き込み保護無効 0:書き込み保護有効 各ビットは1Kバイト(16ページ)の記憶領域の書き込み保護状態を表す。	X

注:WPRは、システムリセット後にユーザオプションバイト領域からロードされる。

16.3.9 Extended Key Register (FLASH_MODEKEYR)

Offset address: 0x24

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODEKEYR[31:16]															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MODEKEYR[15:0]															

Bit	Name	Access	Description	Reset value
[31:16]	MODEKEYR [31:0]	WO	以下のシーケンスを入力して高速プログラミング/消去モードをアンロックする。 KEY1 = 0x45670123 KEY2 = 0xCDEF89AB	X

16.3.10 BOOT Key Register (FLASH_BOOT_MODEKEYP)

Offset address: 0x28

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODEKEYR[31:16]															
15	**14**	**13**	**12**	**11**	**10**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
MODEKEYR[15:0]															

Bit	Name	Access	Description	Reset value
[31:16]	MODEKEYR [31:0]	WO	以下のシーケンスを入力してBOOT領域をアンロックする。 KEY1 = 0x45670123 KEY2 = 0xCDEF89AB	X

16.4 フラッシュメモリ動作フロー

16.4.1 読出し操作

汎用アドレス空間における直接アドレッシングにより、8/16/32ビットデータの任意の読出し操作でフラッシュモジュールの内容にアクセスし、対応するデータを取得できる。

16.4.2 フラッシュメモリのアンロック

システムリセット後、フラッシュコントローラ（FPEC）およびFLASH_CTLRレジスタはロックされ、アクセス不可となる。

FLASH_KEYRレジスタにシーケンスを書き込むことで、フラッシュコントローラモジュールをアンロックできる。

アンロックシーケンス：

1. FLASH_KEYRレジスタにKEY1 = 0x45670123を書き込む（ステップ1は必ずKEY1であること）
2. FLASH_KEYRレジスタにKEY2 = 0xCDEF89ABを書き込む（ステップ2は必ずKEY2であること）

上記の操作は順番通りかつ連続して実行する必要があり、そうでない場合はエラー操作とみなされ、FPECモジュールおよびFLASH_CTLRレジスタがロックされ、次回のシステムリセットまでバスエラーが発生する。

フラッシュメモリコントローラ（FPEC）およびFLASH_CTLRレジスタは、FLASH_CTLRレジスタの"LOCK"ビットを1に設定することで再ロック可能である。

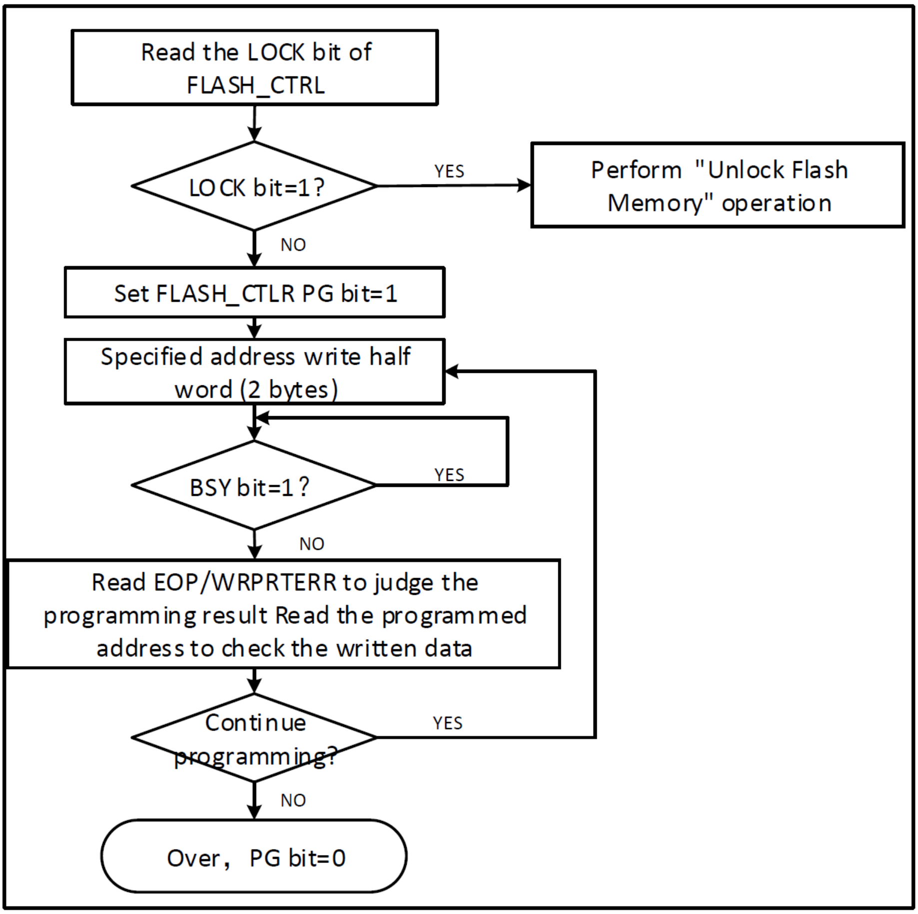
16.4.3 メインメモリ標準プログラミング

標準プログラミングは2バイト単位で書き込み可能である。FLASH_CTLRレジスタのPGビットが'1'のとき、フラッシュアドレスに対して各ハーフワード（2バイト）を書き込むことで1回のプログラミングが開始される。ハーフワード以外のデータを書き込むと、FPECはバスエラーを生成する。

プログラミング中はBSYビットが'1'となり、プログラミング終了時にはBSYビットが'0'、EOPビットが'1'となる。

注：BSYビットが'1'の間は、いかなるレジスタへの書き込み操作も禁止される。

図16-1 FLASHプログラミング

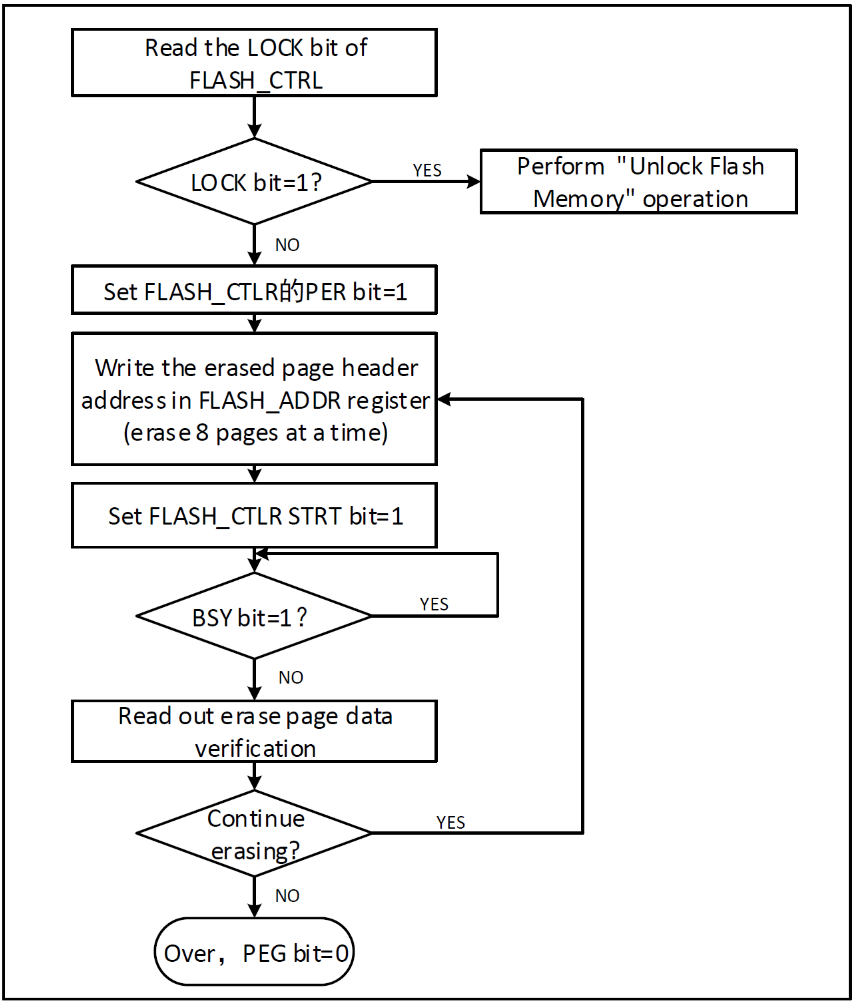


1. FLASH_CTLRレジスタのLOCKを確認し、1であれば"Unlock Flash"操作を実行する。
2. FLASH_CTLRレジスタのPGビットを'1'に設定し、標準プログラミングモードを有効にする。
3. プログラム対象のハーフワードを指定されたフラッシュアドレス(偶数アドレス)に書き込む。
4. FLASH_STATRレジスタのBSYビットが'0'になるか、EOPビットが'1'になるまで待機し、EOPビットを0にクリアする。
5. FLASH_STATRレジスタを参照してエラーの有無を確認するか、プログラム済みアドレスのデータチェックサムを読み取る。
6. プログラミングを継続する場合はステップ3~5を繰り返し、終了時にPGビットを0にクリアする。

16.4.4 メインメモリ標準消去

フラッシュメモリは標準ページ（1Kバイト）単位またはチップ全体で消去可能である。

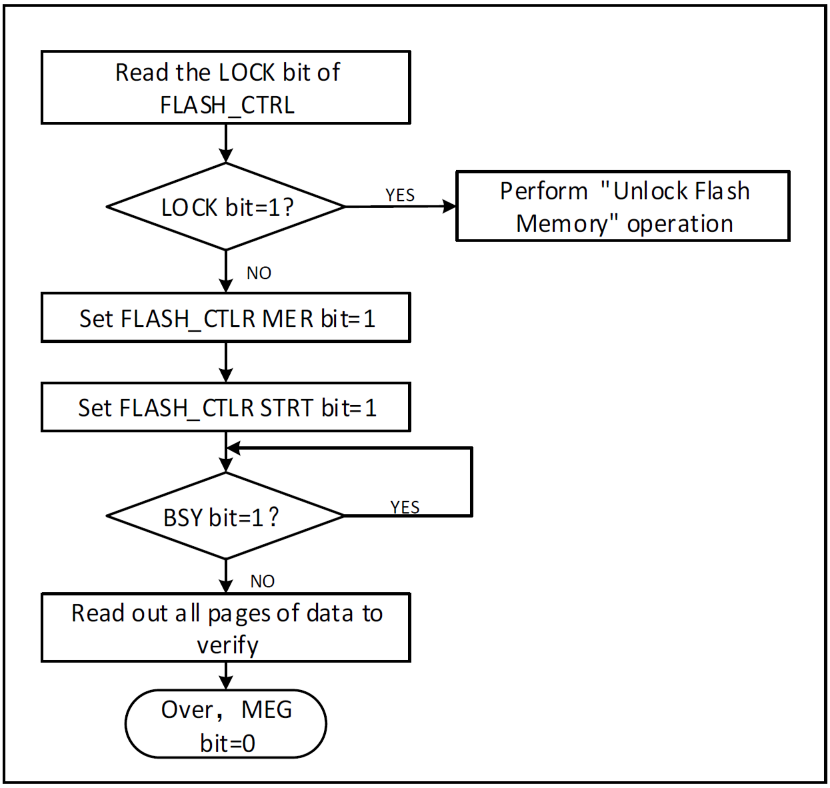
図16-2 FLASHページ消去



1. FLASH_CTLRレジスタのLOCKビットを確認し、1であれば"Unlock Flash"操作を実行する。
2. FLASH_CTLRレジスタのPERビットを'1'に設定し、標準ページ消去モードを有効にする。
3. 選択した消去対象のページヘッダーアドレスをFLASH_ADDRレジスタに書き込む。
4. FLASH_CTLRレジスタのSTRTビットを'1'に設定し、消去動作を開始する。
5. FLASH_STATRレジスタのBSYビットが'0'になるか、EOPビットが'1'になるまで待機し、EOPビットを0にクリアする。
6. 消去されたページのデータを読み出して検証する。

7. 標準ページ消去を継続する場合はステップ3～5を繰り返し、消去終了時にPEGビットを0にクリアする。

図16-3 FLASH全チップ消去



1. FLASH_CTLRレジスタのLOCKビットを確認し、1であれば"Unlock Flash"操作を実行する。
2. FLASH_CTLRレジスタのMERビットを'1'に設定し、全チップ消去モードを有効にする。
3. FLASH_CTLRレジスタのSTRTビットを'1'に設定し、消去動作を開始する。
4. FLASH_STATRレジスタのBSYビットが'0'になるか、EOPビットが'1'になるまで待機し、EOPビットを0にクリアする。
5. 消去されたページのデータを読み出して検証する。
6. MERビットを0にクリアする。

16.4.5 高速プログラミングモードのアンロック

高速プログラミングモードの動作は、FLASH_MODEKEYRレジスタにシーケンスを書き込むことでアンロック可能である。

アンロック後、FLASH_CTLRレジスタのFLOCKビットは0にクリアされ、高速消去およびプログラミング操作が可能となる。

FLASH_CTLRレジスタは、ソフトウェアでFLOCKビットを1に設定することで再ロックされる。

アンロックシーケンス:

1. FLASH_MODEKEYRレジスタにKEY1 = 0x45670123を書き込む。
2. FLASH_MODEKEYRレジスタにKEY2 = 0xCDEF89ABを書き込む。

上記の操作は順番通りかつ連続して実行する必要があり、そうでない場合は誤操作とみなされ、ロックされて次回のシステムリセットまでアンロックできなくなる。

注:高速プログラミング操作には"LOCK"層と"FLOCK"層の両方のアンロックが必要である。

16.4.6 メインメモリ高速プログラミング

ページ単位(64バイト)の高速プログラミング。

1. FLASH_CTLRレジスタのLOCKビットを確認し、1であれば"Unlock Flash"操作を実行する。
2. FLASH_STATRレジスタのBSYビットを確認し、他のプログラミング操作が進行中でないことを確認する。
3. FLASH_CTLRレジスタのFLOCKビットを確認し、1であれば"fast programming mode unlock"操作を実行する。
4. FLASH_CTLRレジスタのFTPGビットを設定し、高速プログラミングモード機能を有効にする。
5. FLASH_CTLRレジスタのBUFRSTビットを設定し、内部64バイトバッファのクリア操作を実行する。
6. FLASH_STATRレジスタのBSYビットが'0'になるか、EOPビットが'1'になるまで待機し、EOPビットを0にクリアする。
7. 指定アドレスに4バイトのデータを書き込み(4バイト／操作)、FLASH_CTLRレジスタのBUFLOADビットを設定してバッファへのロードを実行する。
8. FLASH_STATRレジスタのBSYビットが'0'になるか、EOPビットが'1'になるまで待機し、EOPビットを0にクリアする。
9. ステップ7～8を合計16回繰り返し、64バイトのデータをすべてバッファにロードする(16回の操作アドレスは連続している必要がある)。
10. 高速プログラミングページの先頭アドレスをFLASH_ADDRレジスタに書き込む。
11. FLASH_CTLRレジスタのSTRTビットを'1'に設定し、高速ページプログラミング動作を開始する。
12. FLASH_STATRレジスタのBSYビットが'0'になるか、EOPビットが'1'になるまで待機し、EOPビットを0にクリアする。

13. FLASH_STATRレジスタを参照してエラーの有無を確認するか、プログラム済みアドレスのデータチェックサムを読み取る。
14. 高速ページプログラミングを継続する場合はステップ5～13を繰り返し、終了時にFTPGビットを0にクリアする。

16.4.7 メインメモリ高速消去

高速消去はページ単位（64バイト）で行われる。

1. FLASH_CTLRレジスタのLOCKビットを確認し、1であれば"Unlock Flash"操作を実行する。
2. FLASH_CTLRレジスタのFLOCKビットを確認し、1であれば"fast programming mode unlock"操作を実行する。
3. FLASH_STATRレジスタのBSYビットを確認し、他のプログラミング操作が進行中でないことを確認する。
4. FLASH_CTLRレジスタのFTERビットを'1'に設定し、高速ページ消去（64バイト）モード機能を有効にする。
5. 高速消去ページの先頭アドレスをFLASH_ADDRレジスタに書き込む。
6. FLASH_CTLRレジスタのSTRTビットを'1'に設定し、高速ページ消去（64バイト）動作を開始する。
7. FLASH_STATRレジスタのBSYビットが'0'になるか、EOPビットが'1'になるまで待機し、EOPビットを0にクリアする。
8. FLASH_STATRレジスタを参照してエラーの有無を確認するか、消去ページアドレスのデータチェックサムを読み取る。
9. 高速ページ消去を継続する場合はステップ5～8を繰り返し、消去終了時にFTERビットを0にクリアする。

16.5 ユーザオプションバイト

ユーザオプションバイトはFLASH内に固定化されており、システムリセット後に対応するレジスタへ再ロードされる。ユーザによって任意に消去およびプログラム可能である。

ユーザオプションバイト情報ブロックは合計8バイトで構成される:

- 書き込み保護用:4バイト
- 読み出し保護用:1バイト
- 構成オプション用:1バイト
- ユーザデータ保存用:2バイト

各ビットには対応する反転コードビットが存在し、ロード時のチェックサムに使用される。

以下にオプションバイト情報の構造と意味を示す。

表16-3 32ビットオプションバイト形式の分割

[31:24]	[23:16]	[15:8]	[7:0]
Option bytes byte 1 inverse code	Option bytes byte 1	Option bytes byte 0 inverse code	Option bytes byte 0

表16-4 ユーザオプションバイト情報構造

	[31:24]	[23:16]	[15:8]	[7:0]
0x1FFFF800	nUSER	USER	nRDPR	RDPR
0x1FFFF804	nData1	Data1	nData0	Data0
0x1FFFF808	nWRPR1	WRPR1	nWRPR0	WRPR0
0x1FFFF80C	Reserved	Reserved	Reserved	Reserved

Name/Byte			Description	Reset value
RDPR			フラッシュメモリ内のコードが読み出し可能かどうかを設定する読み出し保護制御ビット。 0xA5:このバイトが0xA5(nRDPは0x5Aである必要がある)の場合、現在のコードは読み出し保護されておらず、読み出し可能であることを示す。 その他の値:コードが読み出し保護状態であり、読み出し不可であることを示す。この場合、ページ0～31(2K)は自動的に書き込み保護され、WRPR0によって制御されない。	0xA5
USER	[7:6]	Reserved	予約(1でなければならない)	11b
	5	START_MODE	電源投入時の起動モード 1:BOOT領域から起動 0:ユーザ領域から起動 注:この機能は、製品ロット番号の下から2桁目が0である製品には適用されない。	1
	[4:3]	RST_MODE	00:マルチプレクシング機能を有効にする。電源投入リセット中の128μs以内のピン状態を無視する。電源投入リセットの持続時間は128μs以上でなければならない。 01:マルチプレクシングを有効にする。電源投入リセット中の1ms以内のピン状態を無視する。電源投入リセットの持続時間は1ms以上でなければならない。 10:マルチプレクシングを有効にする。電源投入リセット中の12ms以内のピン状態を無視する。電源投入リセットの持続時間は12ms以上でなければならない。 11:マルチプレクシング無効。RSTはI/Oピンとして機能する。	10b
	2	STANDYRST	スタンバイモード時のシステムリセット制御: 1:無効。スタンバイモードに入ってもシステムリセットは発生しない。 0:有効。スタンバイモードに入るとシステムリセットが発生する。	1
	1	Reserved	予約	1
	0	IWDGSW	独立ウォッチドッグ(IWDG)ハードウェア有効化構成: 1:IWDGはソフトウェアによって有効化され、ハードウェアによる有効化は無効化される。 0:IWDGはハードウェアによって自動的に起動される(IWDGのクロックはLSIによって供給されるため、LSIにより自動的に起動される)。 注:デバッグモードではコアが停止し、ウォッチドッグのハードウェア有効化は無効化される。	1
Data0-Data1			ユーザデータを2バイト保存する。	FFFFh
WRPR0 - WRPR3			書き込み保護制御ビット。各ビットはメインメモリ内の1セクタ(1Kバイト/セクタ)の書き込み保護状態を制御する。 1:書き込み保護を無効にする。 0:書き込み保護を有効にする。 2バイトで合計16Kバイトのメインメモリを保護可能。 WRP0:セクタ0～7のストレージ書き込み保護制御。 WRP1:セクタ8～15のストレージ書き込み保護制御。 WRP2:予約済み。 WRP3:予約済み。	FFFFh

16.5.1 ユーザオプションバイトのアンロック

ユーザオプションバイトの操作は、FLASH_OBKEYRレジスタにシーケンスを書き込むことでアンロック可能である。

アンロック後、FLASH_CTLRレジスタのOBWREビットが1に設定され、ユーザオプションバイトの消去およびプログラムが可能となる。

再ロックは、FLASH_CTLRレジスタのOBWREビットをソフトウェアで0にクリアすることで行う。

アンロックシーケンス:

1. FLASH_OBKEYRレジスタにKEY1 = 0x45670123を書き込む。
2. FLASH_OBKEYRレジスタにKEY2 = 0xCDEF89ABを書き込む。

注:ユーザオプションバイトの操作には"LOCK"層と"OBWRE"層の両方のアンロックが必要である。

16.5.2 ユーザオプションバイトのプログラミング

標準プログラミング方式のみがサポートされており、ハーフワード(2バイト)単位で書き込む。実際には、ユーザオプションバイトのプログラミング時にFPECはハーフワードの下位バイトのみを使用し、上位バイトは自動的に計算される(上位バイトは下位バイトの反転値)ため、オプションバイトとその反転コードが常に正しくなるように処理される。

1. FLASH_CTLRレジスタのLOCKビットを確認し、1であれば"Unlock Flash"操作を実行する。
2. FLASH_STATRレジスタのBSYビットを確認し、他のプログラミング操作が進行中でないことを確認する。
3. FLASH_CTLRレジスタのOBPGビットを'1'に設定し、その後STATビットを'1'に設定してユーザオプションバイトのプログラミングを有効にする。
4. FLASH_CTLRレジスタのOBPGビットを'1'に設定する。
5. 指定アドレスにプログラム対象のハーフワード(2バイト)を書き込む。
6. FLASH_STATRレジスタのBSYビットが'0'になるか、EOPビットが'1'になるまで待機し、EOPビットを0にクリアする。
7. プログラム済みアドレスのデータチェックサムを読み取る。
8. プログラミングを継続する場合はステップ5～7を繰り返し、終了時にOBPGビットを0にクリアする。

注:"Read Protected"が"Unprotected"に変更された場合、メインメモリの全スライス消去が自動的に実行される。"Read Protected"以外の選択項目が変更された場合、全消去操作は発生しない。

16.5.3 ユーザオプションバイトの消去

ユーザオプションバイト領域（64バイト）全体を直接消去する。

1. FLASH_CTLRレジスタのLOCKビットを確認し、1であれば"Unlock Flash"操作を実行する。
2. FLASH_STATRレジスタのBSYビットを確認し、他のプログラミング操作が進行中でないことを確認する。
3. FLASH_CTLRレジスタのOBWREビットを確認し、0であれば"ユーザオプションバイトのアンロック"操作を実行する。
4. FLASH_CTLRレジスタのOBERビットを'1'に設定し、その後STATビットを'1'に設定してユーザオプションバイトの消去を有効にする。
5. FLASH_STATRレジスタのBSYビットが'0'になるか、EOPビットが'1'になるまで待機し、EOPビットを0にクリアする。
6. 消去されたアドレスのデータチェックサムを読み取る。
7. OBERビットを0にクリアして終了する。

16.5.4 読み出し保護の解除

フラッシュメモリが読み出し保護されているかどうかは、ユーザオプションバイトによって決定される。FLASH_OBRレジスタを読み取り、RDPRTビットが'1'であれば、フラッシュメモリは現在読み出し保護状態にあり、読み出し保護状態に対して一連のセキュリティガードによって運用上保護されている。

読み出し保護を解除する手順は以下の通り:

1. ユーザオプションバイト領域全体を消去する。この時点ではRDPRフィールドは保持されており、読み出し保護は継続している。
2. ユーザオプションバイトのプログラミングを行い、正しいRDPRコード（0xA5）を書き込むことでフラッシュメモリの読み出し保護を解除する（このステップでは、システムが自動的にフラッシュメモリ全体の消去操作を実行する）。
3. 電源投入リセットを実行し、選択バイト（新しいRDPRコードを含む）を再ロードする。この時点で読み出し保護が解除される。

16.5.5 書き込み保護の解除

フラッシュメモリが書き込み保護されているかどうかは、ユーザオプションバイトによって決定される。FLASH_WPRレジスタを読み取ることで、各ビットがフラッシュメモリ空間の1KBを表していることが分かる。ビット値が'1'であれば保護されていない状態、'0'であれば書き込み保護されている状態を示す。

書き込み保護を無効にする手順は以下の通り:

1. ユーザオプションバイト領域全体を消去する。
2. 正しいRDPRコード(0xA5)を書き込み、読み出しアクセスを有効にする。
3. システムリセットを実行し、選択バイト(新しいWRPR[3:0]バイトを含む)を再ロードすることで、書き込み保護を解除する。

Chapter 17 拡張構成

17.1 拡張構成

システムは、EXTEND拡張構成ユニット（EXTEND_CTRレジスタ）を提供する。このユニットはHBクロックを使用し、リセット動作はシステムリセット時のみ実行される。主に以下の拡張制御ビット機能を含む：

1. 内蔵電圧の調整：LDOTRIMフィールドはデフォルト値を選択し、性能および消費電力の調整時に変更可能である。
2. ロックアップ機能の監視：LKUPENフィールドを有効にすると、システムのロックアップ状態監視が開始される。ロックアップ状態が発生すると、システムはソフトウェアリセットを実行し、LKUPRESETフィールドを1に設定する。読み取り後、1を書き込むことでこのフラグをクリアできる。
3. オペアンプの構成：OPA_ENを設定してOPAを有効化し、OPA_PSELでOPAの正入力ピンを選択し、OPA_NSELで負入力ピンを選択する。

17.2 レジスタ詳細

表17-1 EXTEND関連レジスター覧

Name	Access address	Description	Reset value
R32_EXTEN_CTR	0x40023800	拡張制御レジスタを構成する。	0x00000400

17.2.1 Configure Extended Control Register (EXTEND_CTR)

Offset address: 0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													OPA_PSEL	OPA_NSEL	OPA_EN

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					LDO_TRIM	Reserved		LKUPRST	LKUPEN	Reserved					

Bit	Name	Access	Description	Reset value
[31:19]	Reserved	RO	Reserved	0
18	OPA_PSEL	RW	オペアンプ +側入力端子選択 1:チャンネル1 0:チャンネル0	0
17	OPA_NSEL	RW	オペアンプ -側入力端子選択 1:チャンネル1 0:チャンネル0	0
16	OPA_EN	RW	オペアンプ有効化 1:有効化 0:OPAをオフにする	0
[15:11]	Reserved	RO	Reserved	0
10	LDOTRIM	RW	コア電圧モード: 1:ブースト電圧モード; 0:通常電圧モード。	0
[9:8]	Reserved	RO	Reserved	0
7	LKUPRST	RW1	LOCKUPリセットフラグ: 1:LOCKUPが発生し、システムリセットが実行された状態。1を書き込むことでクリアされる。 0:正常状態。	0
6	LKUPEN	RW	LOCKUP監視機能: 1:有効。システムでロックアップが発生するとリセットを実行し、LOCKUP_RESETを設定する。 0:無効。	1
[5:0]	Reserved	RO	Reserved	0

Chapter 18 デバッグサポート（DBG）

18.1 主な機能

このレジスタにより、MCUをデバッグ状態に構成することができる。以下を含む：

- 独立ウォッチドッグ（IWDG）有効カウンタ
- ウィンドウウォッチドッグ（WWDG）有効カウンタ
- タイマ1有効カウンタ
- タイマ2有効カウンタ

18.2 レジスタ詳細

18.2.1 Debug MCU Configuration Register (DBGMCU_CR)

Address: 0x7C0(CSR)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		TIM2_STOP	TIM1_STOP	Reserved		WWDG_STOP	IWDG_STOP	Reserved					STANDBY	Reserved	SLEEP

Bit	Name	Access	Description	Reset value
[31:14]	Reserved	RW	Reserved	0
13	TIM2_STOP	RW	タイマ2デバッグ停止ビット。コアがデバッグ状態に入ると、カウンタが停止する 1:タイマ2のカウンタが動作を停止する 0:タイマ2のカウンタは通常通り動作を継続する	0
12	TIM1_STOP	RW	タイマ1デバッグ停止ビット。コアがデバッグ状態に入ると、カウンタが停止する 1:タイマ1のカウンタが動作を停止する 0:タイマ1のカウンタは通常通り動作を継続する	0
[11:10]	Reserved	RW	Reserved	0
9	WWDG_STOP	RW	WWDGデバッグ停止ビット。コアがデバッグ状態に入ると、WWDGの動作が停止する 1:WWDGカウンタが動作を停止する 0:WWDGカウンタは通常通り動作を継続する	0
8	IWDG_STOP	RW	IWDGデバッグ停止ビット。コアがデバッグ状態に入ると、IWDGの動作が停止する 1:IWDGカウンタが動作を停止する 0:IWDGカウンタは通常通り動作を継続する	0

[7:3]	Reserved	RW	Reserved	0
2	STANDBY	RW	デバッグスタンバイモードビット: 1:(FCLKオン、HCLKオン)デジタル回路部は電源オフされず、FCLKおよびHCLKクロックは内部RLオシレータによって供給される。あるいは、マイクロコントローラがSTANDBYモードを終了し、システムリセットを生成してリセットされる動作と同等である。 0:(FCLKオフ、HCLKオフ)デジタル回路部全体が電源オフされる。 ソフトウェアの観点では、STANDBYモードからの復帰はリセットと同等である(ただし、一部のステータスビットにより、マイクロコントローラがSTANDBY状態から復帰したことが示される)。	0
1	Reserved	RW	Reserved	0
0	SLEEP	RW	デバッグスリープモードビット: 1:(FCLKオン、HCLKオン)スリープモード中、FCLKおよびHCLKクロックは元の構成済みシステムクロックによって供給される。 0:(FCLKオン、HCLKオフ)スリープモード中、FCLKは元の構成済みシステムクロックによって供給され、HCLKはオフとなる。スリープモードでは構成済みクロックシステムがリセットされないため、スリープモードから復帰する際にソフトウェア側でクロックシステムを再構成する必要はない。	0